

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-331125

(P2001-331125A)

(43) 公開日 平成13年11月30日 (2001. 11. 30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 2 H 0 9 2
	3 3 0		3 3 0 Z 5 C 0 9 4
G 0 2 F 1/1368		G 0 2 F 1/1368	5 F 0 3 3
H 0 1 L 21/768		H 0 1 L 21/90	C 5 F 1 1 0
29/786		29/78	6 1 2 C
		審査請求 有	請求項の数22 O L (全 21 頁)

(21) 出願番号 特願2001-5540 (P2001-5540)

(22) 出願日 平成13年1月12日 (2001. 1. 12)

(31) 優先権主張番号 特願2000-77172 (P2000-77172)

(32) 優先日 平成12年3月17日 (2000. 3. 17)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅彦 (外1名)

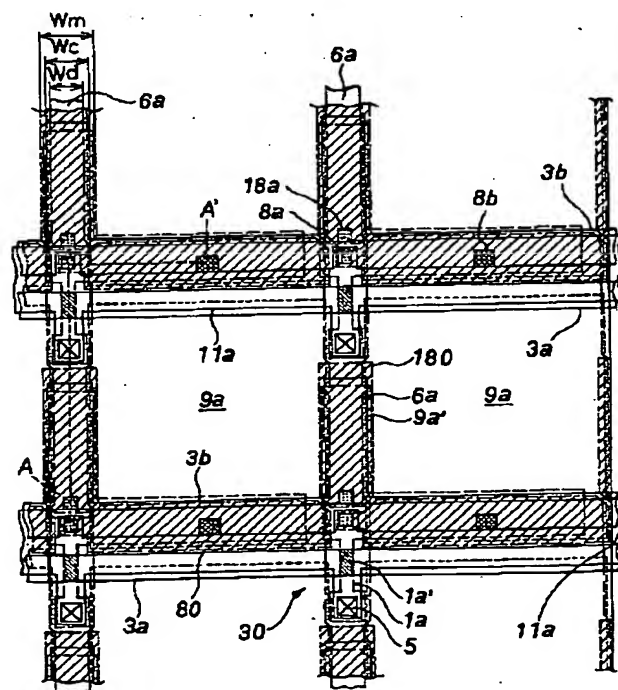
最終頁に続く

(54) 【発明の名称】 電気光学装置

(57) 【要約】

【課題】 画素電極と画素スイッチング用TFTとの間に中継用の中間導電層を備えた形式の電気光学装置において、画素開口率を高めると同時に蓄積容量を増大させ、しかも画素電極付近における配向膜の表面に凹凸が生じることによる表示画像の品位低下を低減する。

【解決手段】 電気光学装置は、基板上にTFT (30)、データ線 (6a)、走査線 (3a)、容量線 (3b)、第1中間導電層 (80)、第2中間導電層 (180) 及び画素電極 (9a) を備える。TFTのドレインと第1中間導電層とを接続する第1コンタクトホール (8a) は、平面的に見てデータ線に重なる位置に開孔されている。



BEST AVAILABLE COPY

(2)

## 【特許請求の範囲】

【請求項1】 基板上に設けられた薄膜トランジスタと、  
前記薄膜トランジスタの半導体層のドレイン領域に電氣的に接続される画素電極と、  
前記薄膜トランジスタの半導体層と前記画素電極との間に絶縁膜を介して設けられた複数の配線と、  
前記薄膜トランジスタの半導体層のドレイン領域と前記画素電極との電氣的接続をなす中間導電層と、  
前記複数の配線のうち少なくとも1つの配線の領域下で、前記薄膜トランジスタの半導体層のドレイン領域と前記中間導電層とを電氣的に接続する第1コンタクトホールとを備えたことを特徴とする電気光学装置。

【請求項2】 前記第1コンタクトホールの径は、前記中間導電層と前記画素電極とを電氣的に接続する第2コンタクトホールの径より小さいことを特徴とする請求項1に記載の電気光学装置。

【請求項3】 前記複数の配線のうち少なくとも1つの配線は、前記薄膜トランジスタの半導体層のソース領域に電氣的に接続されるデータ線であり、前記データ線の領域下に前記第1コンタクトホールが位置することを特徴とする請求項1に記載の電気光学装置。

【請求項4】 前記第1コンタクトホールは、前記データ線と前記走査線が交差する近傍に配置されることを特徴とする請求項3に記載の電気光学装置。

【請求項5】 前記複数の配線のうち少なくとも1つの配線は、前記データ線に対して交差して配置される走査線をなし、前記中間導電層は前記データ線の領域から前記走査線に沿って延在することを特徴とする請求項3に記載の電気光学装置。

【請求項6】 前記中間導電層の前記走査線に沿って配置された延在部に、前記中間導電層と前記画素電極とを電氣的に接続する第2コンタクトホールを設けたことを特徴とする請求項4に記載の電気光学装置。

【請求項7】 前記第2コンタクトホールは、相隣接するデータ線間のほぼ中央に位置することを特徴とする請求項6に記載の電気光学装置。

【請求項8】 前記中間導電層は、前記データ線に沿って延在することを特徴とする請求項3または請求項4に記載の電気光学装置。

【請求項9】 前記複数の配線のうち少なくとも1つの配線は、前記中間導電層下に延在する容量線であり、前記容量線は前記第1コンタクトホールの領域を避けて延在していることを特徴とする請求項1に記載の電気光学装置。

【請求項10】 前記第1コンタクトホールの深さは、前記中間導電層と前記画素電極との第2コンタクトホールの深さより浅いことを特徴とする請求項1に記載の電気光学装置。

【請求項11】 前記中間導電層は、前記走査線と同一

2

膜からなる容量電極と層間絶縁膜を介して少なくとも部分的に対向配置されていることを特徴とする請求項4に記載の電気光学装置。

【請求項12】 前記第2コンタクトホールは、平面的に見て前記容量電極に重なる位置に開孔されていることを特徴とする請求項11に記載の電気光学装置。

【請求項13】 前記容量電極は、平面的に見て走査線に沿って延びる部分と前記データ線と交差する箇所から前記データ線に沿って延びる部分とを有し、

10 前記中間導電層は、前記容量電極の少なくとも一部に層間絶縁膜を介して重ねられていることを特徴とする請求項11または請求項12に記載の電気光学装置。

【請求項14】 前記中間導電層は、遮光性の導電膜からなることを特徴とする請求項1に記載の電気光学装置。

【請求項15】 前記中間導電層は、前記遮光領域の一部を規定することを特徴とする請求項14に記載の電気光学装置。

20 【請求項16】 前記中間導電層は、平面的に見て前記データ線に沿って延びる部分を含み、前記データ線に沿った方向の前記遮光領域の一部が規定されていることを特徴とする請求項15に記載の電気光学装置。

【請求項17】 前記容量電極は、平面的に見て前記データ線に沿って延びる部分を有し、前記データ線に沿った箇所において夫々、前記データ線の幅 $W_d$ と、前記容量電極の幅 $W_c$ と、前記データ線に沿って延びる中間導電層部分の幅 $W_m$ との間には、 $W_d < W_c < W_m$ なる関係が成立することを特徴とする請求項16に記載の電気光学装置。

30 【請求項18】 平面的に見て、前記画素電極における前記データ線に沿った縁部分は、前記中間導電層の縁部分に重ねられていることを特徴とする請求項17に記載の電気光学装置。

【請求項19】 前記半導体層は、前記データ線の領域下に形成されることを特徴とする請求項3に記載の電気光学装置。

40 【請求項20】 前記第1コンタクトホールは、前記半導体層のソース領域と前記データ線とを接続する第3コンタクトホールと、前記半導体層のチャネル領域に対して対称となる位置に形成されることを特徴とする請求項19に記載の電気光学装置。

【請求項21】 前記半導体層の下方に、平面的に見て前記走査線から張り出した下部遮光膜を有し、前記中間導電層と前記画素電極とを電氣的に接続する第2コンタクトホールは、平面的に見て前記下部遮光膜が前記走査線から張り出した領域に位置することを特徴とする請求項19に記載の電気光学装置。

【請求項22】 基板上に設けられた薄膜トランジスタと、

50

(3)

3

前記薄膜トランジスタの半導体層のソース領域に電氣的に接続されたデータ線と、  
 前記薄膜トランジスタの半導体層のドレイン領域に電氣的に接続される画素電極と、  
 前記薄膜トランジスタの半導体層のドレイン領域と前記画素電極との電氣的接続をなす遮光性の中間導電層と、  
 前記データ線に沿って設けられ、前記薄膜トランジスタの半導体層のドレイン領域に位置する容量線と、  
 前記中間導電層と同一膜で形成される遮光膜と、  
 前記データ線の領域下で、前記容量線と前記遮光膜とを電氣的に接続するコンタクトホールと  
 を備えたことを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス駆動方式の電気光学装置の技術分野に属し、特に画素電極と画素スイッチング用の薄膜トランジスタ (Thin Film Transistor: 以下適宜、TFTと称す) との間で、電気導通を良好にとるための中間導電層を基板上の積層構造中に備えた形式の電気光学装置の技術分野に属する。

【0002】

【背景技術】従来、TFT駆動によるアクティブマトリクス駆動方式の電気光学装置においては、TFTのゲート電極に走査線を介して走査信号が供給されると、TFTはオン状態とされ、半導体層のソース領域にデータ線を介して供給される画像信号が当該TFTを介して画素電極に供給される。このような画像信号の供給は、各TFTを介して画素電極毎に極めて短時間しか行われないので、供給される画像信号の電圧を、このオン状態とされた時間よりも遥かに長時間に亘って保持するために、各画素電極には蓄積容量が付加されるのが一般的である。

【0003】他方、この種の電気光学装置では、画素電極を構成するITO膜等の導電膜と画素スイッチング用のTFTを構成する半導体層との間には、走査線、データ線等を構成する各種導電膜及びこれらの導電膜を相互から電氣的に絶縁するためのゲート絶縁膜や層間絶縁膜が積層されており、これらの画素電極と半導体層との間の距離は例えば1000nm程度に長い。従って、これらの画素電極と半導体層とを一つのコンタクトホールによって電氣的に接続するのは技術的に困難である。そこで、層間絶縁膜間に中間導電層を設けて、これを中継して、画素電極と半導体層とを電氣的に接続する技術が開発されている。

【0004】

【発明が解決しようとする課題】この種の電気光学装置においては、表示画像の高品位化という一般的な要請が強く、このためには、画素ピッチを微細化しつつ、画素開口率化を高める (即ち、各画素において、表示光が透

4

過しない遮光領域に対して、表示光が透過する開口領域を広げる) ことが極めて重要となる。

【0005】特に前述の如き中間導電層を設けると、製造工程が増加するだけでなく、積層数やコンタクトホール数が増加して積層構造がより複雑化するため、特に画素ピッチを微細化するに連れて上述した蓄積容量を作り込むことが更に困難となる、或いはコンタクトホールを開孔するための領域を確保するのが困難になるという問題点がある。そして、このように中間導電層を設けることにより必要なコンタクトホールの数が増加すると、コンタクトホールの存在に起因して基板上でその上方に位置する層間絶縁膜の表面には凹凸が生じ、最終的には画素電極及びその上に形成される配向膜の表面に凹凸が生じてしまう。このように画素電極付近における配向膜の表面に凹凸が生じると、電気光学物質の一例である液晶の配向不良が原因で動作不良が生じる。これらの結果、コントラスト比の低下といった表示不良を引き起こし、画質品位を大幅に低下してしまうという問題がある。

【0006】本発明は上述の問題点を鑑みなされたものであり、画素開口率を高めることができ、しかも画素電極付近における配向膜の表面の凹凸を低減することで、高品位の画像表示が可能な電気光学装置を提供することを課題とする。

【0007】

【課題を解決するための手段】(1) 本発明の電気光学装置は上記課題を解決するために、基板上に設けられた薄膜トランジスタと、前記薄膜トランジスタの半導体層のドレイン領域に電氣的に接続される画素電極と、前記薄膜トランジスタの半導体層と前記画素電極との間に絶縁膜を介して設けられた複数の配線と、前記薄膜トランジスタの半導体層のドレイン領域と前記画素電極との電氣的接続をなす中間導電層と、前記複数の配線のうち少なくとも1つの配線の領域下で、前記薄膜トランジスタの半導体層のドレイン領域と前記中間導電層とを電氣的に接続する第1コンタクトホールとを備えたことを特徴とする。

【0008】本発明の電気光学装置によれば、半導体層のドレイン領域と画素電極とは、中間導電層を介して電氣的に接続されているので、両者間にある膜厚が大きくても、両者間を比較的小径の2つのコンタクトホールによって良好に接続することが可能となる。そして、各コンタクトホールを形成する領域は各々小さくでき、画素開口率を高めることができる。

【0009】また、少なくとも1つの配線の領域下で第1コンタクトホールを開孔するので、第1コンタクトホールの存在により各画素の開口領域に不規則な凹凸が発生することがない。これにより、画素電極付近におけるラビング処理を均一に行うことが可能となり且つ電気光学物質の層厚を均一化することも可能となる。この結果、液晶等の電気光学物質における配向不良等の如き動

5

作不良を低減できる。

【0010】以上のように、本発明の電気光学装置によれば、画素開口率を高めることができ、しかも画素電極付近における配向膜の表面に不規則な凹凸が生じることによる表示画像の品位低下を低減できる。これらの結果、明るくてコントラスト比が高く、高品位の画像表示が可能となる。

【0011】(2) 本発明の電気光学装置の一の態様では、前記第1コンタクトホールは、前記中間導電層と前記画素電極とを電気的に接続する第2コンタクトホール

の径より小さいことを特徴とする。

【0012】この態様によれば、中間導電層により第2コンタクトホールの開孔時におけるエッチングの突き抜けの防止となる。また、第1コンタクトホールの径を第2コンタクトホールの径より小さくすることで、非画素開口領域を狭くすることが可能になる。

【0013】(3) 本発明の電気光学装置の他の態様では、前記複数の配線のうち少なくとも1つの配線は、前記薄膜トランジスタの半導体層のソース領域に電気的に接続されるデータ線であり、前記データ線の領域下に前記第1コンタクトホールが位置することを特徴とする。

【0014】この態様によれば、非画素開口領域に第1コンタクトホールを配置できるので、配向膜の表面に生じる凹凸を低減できる。

【0015】(4) また、他の態様では、前記第1コンタクトホールは、前記データ線と前記走査線が交差する近傍に配置されることが望ましい。

【0016】この構成によれば、データ線と走査線が交差する近傍に配置したので、比較的広い領域内で、配向膜の表面に生じる凹凸を低減でき、画素電極付近におけるラビング処理を均一に行うことが可能となり、液晶層の配向不良を低減できる。

【0017】(5) また、他の態様では、前記複数の配線のうち少なくとも1つの配線は、前記データ線に対して交差して配置される走査線をなし、前記中間導電層は前記データ線の領域から前記走査線に沿って延在することが望ましい。

【0018】この構成によれば、中間導電層はデータ線の領域から走査線に沿って延在するので、第1コンタクトホールと、第2コンタクトホールの位置を、データ線と走査線に沿った領域に形成することができるので、画素ピッチの微細化に寄与することができる。

【0019】(6) さらに、前記中間導電層の前記走査線に沿って配置された延在部に、前記中間導電層と前記画素電極とを電気的に接続する第2コンタクトホールを設けることが望ましい。

【0020】この構成によれば、従来のドレイン領域と画素電極とを接続するコンタクトホールより小径な第2コンタクトホールを走査線に沿った延在部に配置するので、走査線付近の非画素開口領域が広がるのを低減し

(4)

6

つ、配向膜の表面に生じる凹凸を低減することができる。

【0021】(7) さらに、前記第2コンタクトホールは、相隣接するデータ線間のほぼ中央に位置することが望ましい。

【0022】この構成によれば、第2コンタクトホール上における配向膜の凹凸による悪影響を各画素毎に左右対称にでき、全画素を巨視的に見た場合における各画素の表示不良を平均化できる。

【0023】(8) また、他の態様では、前記中間導電層は、前記データ線に沿って延在することを特徴とする。

【0024】この構成によれば、データ線下で非画素開口領域を広げることなく、第1コンタクトホールの領域を中間導電層で覆うことができる。

【0025】(9) 本発明の電気光学装置の他の態様では、前記複数の配線のうち少なくとも1つの配線は、前記中間導電層下に延在する容量線であり、前記容量線は前記第1コンタクトホールの領域を避けて延在していることを特徴とする。

【0026】この態様によれば、容量線は、従来のドレイン領域と画素電極とを接続するコンタクトホールより小径な第1コンタクトホールの領域を避けて延在しているので、容量面積を確保しつつ、配向膜の表面に生じる凹凸を低減することができる。

【0027】(10) 本発明の電気光学装置の他の態様では、前記第1コンタクトホールの深さは、前記中間導電層と前記画素電極との第2コンタクトホールの深さより浅いことを特徴とする。

【0028】この態様によれば、第1コンタクトホールの領域で、配向膜の表面に生じる凹凸を低減することができる。

【0029】(11) 本発明の電気光学装置の他の態様では、前記中間導電層は、前記走査線と同一膜からなる容量電極と層間絶縁膜を介して少なくとも部分的に対向配置されていることを特徴とする。

【0030】この態様によれば、中間導電層は、走査線と同一膜からなる容量電極と、層間絶縁膜を介して対向配置されているので、画素電極に接続された蓄積容量を付加することができる。即ち、容量電極の下側のみならず、容量電極の上側にも、蓄積容量を立体的に構築できるので、限られた遮光領域を有効利用して蓄積容量を増大させることができる。

【0031】(12) 他の態様では、前記第2コンタクトホールは、平面的に見て前記容量電極に重なる位置に開孔されているように構成してもよい。

【0032】この構成によれば、第2コンタクトホールが開孔された平面位置における中間導電層部分も、容量電極上に重なっている、即ち容量電極に絶縁膜を介して対向配置されているので、第2コンタクトホールが開孔

(5)

7

された平面領域にも蓄積容量を構築できる。

【0033】(13)他の態様では、前記容量電極は、平面的に見て前記走査線に沿って延びる部分と前記データ線と交差する個所から前記データ線に沿って延びる部分とを有し、前記中間導電層は、前記容量電極の少なくとも一部に層間絶縁膜を介して重ねられている。

【0034】この構成によれば、データ線に沿った遮光領域において、半導体層のドレイン領域から延設された電極と容量電極とを対向配置させることができ、且つ該容量電極と中間導電層とを対向配置させることができ、  
10 従って、データ線に沿った遮光領域にも、立体的な蓄積容量を構築できる。

【0035】(14)本発明の電気光学装置の他の態様では、前記中間導電層は、遮光性の導電膜からなることを特徴とする。

【0036】この態様によれば、遮光性の導電膜からなる中間導電層により、薄膜トランジスタのチャネル領域やその隣接領域を遮光することが可能となる。即ち、一般には、薄膜トランジスタを構成する半導体層のチャネル領域或いはその隣接領域に光が入射すると、光励起によるリーク電流が発生する。これにより、当該薄膜トランジスタのオフ状態における特性が変化する。これに対し、本発明によれば、中間導電層を利用してこのような光入射によるトランジスタ特性の変化を防止できる。

【0037】(15)他の態様では、前記中間導電層は、前記遮光領域の一部を規定するように構成してもよい。

【0038】この構成によれば、例えば画素電極等が形成された一方の基板に対向配置される他方の基板である対向基板に遮光領域を規定するための遮光膜を形成したり、遮光領域を規定するためにデータ線の幅を広めて形成したり、或いは一方の基板内に遮光領域規定用の内蔵遮光膜を別途形成したりすることを少なくとも部分的に排除できる。即ち、遮光領域を規定するための遮光膜等が少なくとも部分的に不要となる分だけ、一方の基板と他方の基板の貼り合わせ時のアライメントずれによる電気光学装置の透過率低下を招くことがない。これにより、電気光学装置の不良を大幅に低減することができる。

【0039】(16)さらに、前記中間導電層は、平面的に見て前記データ線に沿って延びる部分を含み、前記データ線に沿った方向の前記遮光領域の一部が規定されているように構成してもよい。

【0040】この構成によれば、データ線に沿って中間導電層により遮光領域が規定されている部分については、対向基板に遮光領域を規定するための遮光膜を形成したり、遮光領域を規定するためにデータ線の幅を広めて形成したり、或いは内蔵遮光膜を別途形成したりすることを排除できる。これにより、電気光学装置の透過率ばらつきを大幅に低減することができる。

8

【0041】(17)さらに、前記容量電極は、平面的に見て前記データ線に沿って延びる部分を有し、前記データ線に沿った個所において夫々、前記データ線の幅 $W_d$ と、前記容量電極の幅 $W_c$ と、前記データ線に沿って延びる中間導電層部分の幅 $W_m$ との間には、 $W_d < W_c < W_m$ なる関係が成立するように構成してもよい。

【0042】この構成によれば、一對の基板のうち対向基板側からの入射光に対しては、データ線及び中間導電層で二重の遮光が可能となる。ここで一般に画像信号を供給するデータ線の材料としては配線抵抗が低いことが優先されてAl（アルミニウム）膜が利用されるが、Al膜の場合には遮光膜であると同時に極めて反射率の高い反射膜である。従って、Al膜からなるデータ線のみにより薄膜トランジスタの遮光を行った場合には、基板面に対して傾斜した投射光や戻り光がデータ線の内面  
(即ち、薄膜トランジスタに面する側の表面)で反射されて、積層構造内で多重反射を起こして、最終的にチャネル領域やその隣接領域に至ってしまう問題を引き起こす。しかるに、本発明のように構成すれば、データ線下に設けられた中間導電層を低反射の高融点金属膜やポリシリコン膜から形成することにより、上述の如き内面反射による多重反射光を減衰する構成を採用することが可能となる。他方、データ線よりも幅広の容量電極と中間導電層とにより更に大きな蓄積容量を構築できる。

20 20 【0043】(18)さらに、平面的に見て、前記画素電極における前記データ線に沿った縁部分は、前記中間導電層の縁部分に重ねられているように構成してもよい。

【0044】このように構成すれば、データ線幅を細く形成することができる。これにより、データ線と画素電極との間の寄生容量を極力小さくすることができる。これにより、コントラスト比の低下や、クロストーク、ゴースト等の表示不良を顕著に低減することができる。

30 30 【0045】(19)本発明の電気光学装置の他の態様では、前記半導体層は、前記データ線の領域下に形成されることを特徴とする。

【0046】この構成によれば、半導体層と画素電極とを電氣的に接続する領域を確保すると共に、走査線に沿う非開口領域を狭ピッチにできる。

【0047】(20)さらに、前記第1コンタクトホールは、前記半導体層のソース領域と前記データ線とを接続する第3コンタクトホールと、前記半導体層のチャネル領域に対して対称となる位置に形成されることを特徴とする。

40 40 【0048】この構成によれば、多層配線による段差形状をデータ線に対して左右対称にすることができ、液晶の回転方向による光り抜けの差をなくすることができる。

【0049】(21)さらに、前記半導体層の下方に、平面的に見て前記走査線から張り出した下部遮光膜を有し、前記中間導電層と前記画素電極とを電氣的に接続す

50

(6)

9

る第2コンタクトホールは、平面的に見て前記下部遮光膜が前記走査線から張り出した領域に位置することを特徴とする。

【0050】この構成によれば、半導体層は走査線に沿って形成されないで、走査線に沿う非開口領域を狭びッチにすると共に、中間導電層と画素電極とを電氣的に接続することができる。

【0051】(22)本発明の他の電気光学装置は、基板上に設けられた薄膜トランジスタと、前記薄膜トランジスタの半導体層のソース領域に電氣的に接続されたデータ線と、前記薄膜トランジスタの半導体層のドレイン領域に電氣的に接続される画素電極と、前記薄膜トランジスタの半導体層のドレイン領域と前記画素電極との電氣的接続をなす遮光性の中間導電層と、前記データ線に沿って設けられ、前記薄膜トランジスタの半導体層のドレイン領域に位置する容量線と、前記中間導電層と同一膜で形成される遮光膜と、前記データ線の領域下で、前記容量線と前記遮光膜とを電氣的に接続するコンタクトホールとを備えたことを特徴とする。

【0052】この態様によれば、遮光膜と容量線とを接続するコンタクトホールをデータ線で覆うことにより、該コンタクトホールの領域で、配向膜の表面に生じる凹凸を低減することができる。また、遮光膜を容量電極として形成し、容量を増大することができる。

【0053】本発明のこのような作用及び他の利得は、次に説明する実施の形態から明らかにされる。

【0054】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。

【0055】(第1実施形態)本発明による電気光学装置の第1実施形態である液晶装置の構成について、図1から図4を参照して説明する。図1は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路であり、図2は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図である。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめている。また図4は、本実施形態における容量線及び走査線の平面パターン(図4(a))を比較例における平面パターン(図4(b))と比較して示す、容量線及び走査線の一部を拡大して示す平面図である。

【0056】図1において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aを制御するためのTFT30が形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電氣的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、

10

相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aに走査信号G1、G2、…、Gmを、この順に線順次に印加するように構成されている。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光の透過光量が減少し、ノーマリーブラックモードであれば、印加された電圧に応じて入射光の透過光量が増加し、全体として電気光学装置からは画像信号に応じたコントラスト比を持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に、画素電極9aと電氣的に接続された容量電極と、容量線3bの一部である容量電極との間で、誘電体膜を介して蓄積容量70を付加する。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持される。これにより、保持特性は更に改善され、コントラスト比の高い電気光学装置が実現できる。

【0057】図2において、電気光学装置のTFTアレイ基板には、マトリクス状に複数の透明な画素電極9a(点線部9a'により輪郭が示されている)が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。画素電極9aは、中間導電層の一例を構成する第1中間導電層80を中継して、第1コンタクトホール8a及び第2コンタクトホール8bを介して半導体層1aのうち後述のドレイン領域に電氣的に接続されている。データ線6aは、第3コンタクトホール5を介してポリシリコン膜等からなる半導体層1aのうち後述のソース領域に電氣的に接続されている。また、半導体層1aのうちチャネル領域1a'(図中右下りの斜線の領域)に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。このように、走査線3aとデータ線6aとの交差する箇所には夫々、チャネル領域1a'に走査線3aがゲート電極として対向配置されたTFT30が設けられている容量線3bは、走査線3aと同一膜からなり、走査線3aと並行してほぼ直線状に延びる部分と、データ線6aと交差する箇所からデータ線6aに沿って隣接する画素に関連する第3コンタ



(7)

11

トホール5の付近まで延びる部分とを有する。

【0058】図2において、図中太線で示した領域は第1遮光膜11aであり、この第1遮光膜11aは少なくともTFT30の半導体層1aの下側に配置されている。より具体的には図2において、第1遮光膜11aは夫々、走査線3aに沿って縞状に形成されていると共に、データ線6aと交差する箇所が図中下方に幅広に形成されており、この幅広の部分により各TFTのチャネル領域1a'及びその隣接領域をTFTアレイ基板側から見て覆う位置に設けられている。尚、第1遮光膜11aは本実施形態に示すように、走査線3aに沿った方向に当該走査線3aの下方を縞状に延設して形成しても良いし、データ線6aに沿った方向に当該データ線6aの下方を縞状に延設して形成しても良い。あるいは、走査線3a及びデータ線6aに沿って各々の下方を格子状に延設して形成しても良い。また、第1遮光膜11aは、画素電極9aがマトリクス状に複数形成された画像表示領域の外側に延設されて、電気光学装置を駆動するための走査線駆動回路、データ線駆動回路等の周辺回路に供給される負電源、正電源等の定電位源、接地電源、対向電極に供給される定電位源のうち最適な定電位と電氣的に接続するようにすると良い。このように、第1遮光膜11aを定電位に固定することによりTFT30の誤動作を防ぐことができる。

【0059】本実施形態では特に、ドレイン領域1eと第1中間導電層80とを電氣的に接続する第1コンタクトホール8aは、データ線6a下に設けられており、第1中間導電層80と画素電極9aとを電氣的に接続する第2コンタクトホール8bは、相隣接するデータ線6a間の中央付近における容量線3b上に設けられている。また、データ線6aに沿って、第1中間導電層80と同一膜からなる島状の第2中間導電層180が形成されている。第2中間導電層180は、容量線3bにおけるデータ線6aに沿って延びる部分に重ねられており、第2中間導電層180と容量線3bとは、データ線6a下に設けられたコンタクトホール18aにより相互に電氣的に接続されている。また、容量線3bは、第1コンタクトホール8aが形成されたデータ線6a下の領域でデータ線6aと交差する遮光領域で、第1コンタクトホール8aを避けるように括れて形成されており、容量線3bが第1コンタクトホール8aと電氣的な接触を持たないように構成されている。

【0060】また、図2及び図3の断面図に示すようにチャネル領域1a'は、走査線3aとデータ線6aの交差領域に対応して配置されている。また半導体層1aからなる高濃度ソース領域1d、低濃度ソース領域1b、チャネル領域1a'、低濃度ドレイン領域1c及び高濃度ドレイン領域1eはデータ線6aに重なるように、しかもデータ線に覆われるように配置されている。さらに高濃度ソース領域1d、低濃度ソース領域1b、チャネ

12

ル領域1a'、低濃度ドレイン領域1c及び高濃度ドレイン領域1eは走査線3aを挟んで一方側に延びるデータ線6aの下方に高濃度ソース領域1dと低濃度ソース領域1bが配置され、他方側に延びるデータ線6aの下方に低濃度ドレイン領域1cと高濃度ドレイン領域1eが配置されている。さらに、高濃度ドレイン領域1eは第1コンタクトホール8aを介して第1中間導電層80に電氣的に接続され、第1中間導電層80は、第2コンタクトホール8bを介して画素電極9aに接続され、高濃度ソース領域1dは第3コンタクトホール5を介してデータ線6aに電氣的に接続されている。このように非表示領域となるデータ線6aに重なるように第1コンタクトホール8aと第3コンタクトホール5を形成するため、コンタクトホールによる開口率の低下を防ぐことができる。また、コンタクトホールの存在により各画素の開口領域に不規則な凹凸の発生を防ぐことができる。さらに半導体層はデータ線6aに重なるように配置されているため、データ線が遮光膜として機能して半導体層への光の侵入を防ぐことができる。

【0061】次に図3の断面図に示すように、電気光学装置は、基板の一例を構成する透明なTFTアレイ基板10と、これに対向配置される透明な対向基板20とを備えている。TFTアレイ基板10は、例えば石英基板やガラス基板やシリコン基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO (Indium Tin Oxide) 膜などの透明導電性膜からなる。また配向膜16は例えば、ポリイミド膜などの有機膜からなる。

【0062】他方、対向基板20には、その全面に渡って対向電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性膜からなる。また配向膜22は、ポリイミド膜などの有機膜からなる。

【0063】TFTアレイ基板10には、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御する画素スイッチング用TFT30が設けられている。

【0064】対向基板20には、更に図3に示すように、各画素の遮光領域に、第2遮光膜23が設けられている。後に詳述するように、この第2遮光膜23等により、対向基板20の側から入射光が画素スイッチング用TFT30の半導体層1aのチャネル領域1a'や、低濃度ソース領域1b及び低濃度ドレイン領域1cを含むチャネル領域1a'の隣接領域に侵入することはない。更に、第2遮光膜23は、コントラスト比の向上、カラーフィルタを形成した場合における色材の混色防止など

(8)

13

の機能を有する。

【0065】このように構成され、画素電極9aと対向電極21とが対面するように配置されたTFTアレ基板10と対向基板20との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFTアレ基板10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー

10 或いはガラスビーズ等のギャップ材が混入されている。

【0066】更に図3に示すように、画素スイッチング用TFT30に各々対向する位置においてTFTアレ基板10と各画素スイッチング用TFT30との間には、第1遮光膜11aが設けられている。第1遮光膜11aは、好ましくは不透明な高融点金属であるTi（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）及びPb（鉛）等を少なくとも一つ含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、画素スイッチング用TFT30の形成工程における高温処理により、第1遮光膜11aが破壊されたり熔融しないようにできる。第1遮光膜11aが形成されているので、TFTアレ基板10側からの反射光等が光に対して励起しやすい画素スイッチング用TFT30のチャネル領域1a'や低濃度ソース領域1b、低濃度ドレイン領域1cに入射する事態を未然に防ぐことができ、光に起因したリーク電流の発生により画素スイッチング用TFT30の特性が変化することはない。

【0067】更に、第1遮光膜11aと複数の画素スイッチング用TFT30との間には、下地絶縁膜12が設けられている。下地絶縁膜12は、画素スイッチング用TFT30を構成する半導体層1aを第1遮光膜11aから電気的に絶縁するために設けられるものである。更に、下地絶縁膜12は、TFTアレ基板10の全面に形成されることにより、画素スイッチング用TFT30のための下地膜としての機能を有する。即ち、TFTアレ基板10表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。下地絶縁膜12は、例えば、NSG（ノンドープシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。下地絶縁膜12により、第1遮光膜11aが画素スイッチング用TFT30等を汚染する事態を未然に防ぐこともできる。

14

【0068】図2及び図3に示すように、走査線3aと同一の導電性ポリシリコン膜からなる容量線3bはその下側において、半導体層1aのドレイン領域1eから延設されてなる第1容量電極1fに対して、絶縁薄膜2を介して対向配置され、第2容量電極として機能している部分を有する。これにより、TFT30を構成するゲート絶縁膜を含む絶縁薄膜2を用いて、大きな蓄積容量70を形成することができる。更に、容量線3bの一部はその上側において第1中間導電層80の一部に対して、第1層間絶縁膜81を介して対向配置されている。この第1層間絶縁膜81を薄膜化することにより、更に大きな蓄積容量70を形成することができる。このように、容量線3bの下側のみならず、容量線3bの上側にも、蓄積容量70を立体的に構築できるので、限られた遮光領域を有効利用して蓄積容量70を増大できる。

【0069】尚、本実施形態では走査線3bと同一膜からなる第2容量電極を延設して容量線3bを形成しているが、この態様によれば、専用の配線を必要としないので、工程増を招くことが無く有利である。走査線3bと同一膜で容量線3bを形成できない場合は、各画素毎に第2容量電極を島状に形成し、これに定電位を供給する例えば第1遮光膜11aを蓄積容量形成用の配線として代用しても良い。この場合、各画素毎に第1遮光膜11aと第2容量電極を電気的に接続するようにすると良い。第2容量電極には、電気光学装置を駆動するための周辺回路（例えば、走査線駆動回路、データ線駆動回路等）に供給される負電源、正電源等の定電位源、接地電源、対向電極に供給される定電位源のうち最適な定電位が供給されているため、第1容量電極1f及び中間導電層80との間で安定した蓄積容量70を構築することができる。

【0070】本実施形態では特に図2及び図3に示すように、第1コンタクトホール8aは、平面的に見てデータ線6aに重なる位置に開孔されている。従って、走査線3aや容量線3bを構成する導電性のポリシリコン膜の下側と上側に夫々位置する半導体層1aと第1中間導電層80とを接続する第1コンタクトホール8aが存在しても、データ線6aに沿って広がる遮光領域を利用して、走査線3aや容量線3bを第1コンタクトホール8aを避けて配線することが容易となる。この様子を図4(a)に拡大して示す。

【0071】仮に図4(b)に示した比較例のように、データ線6a'に重なっていない走査線3a'部分と容量線3b'部分とが並んで配置された領域に、第1コンタクトホール8a'を開孔する場合には、第1コンタクトホール8a'を避けるように容量線3b'や走査線3a'を第1コンタクトホール8a'の周りで括れさせる必要が生じる。しかし、括れ部分が大きいと、容量線3b'や走査線3a'の配線幅が局所的に狭くなり、配線抵抗が大きくなる。これにより、信号遅延やクロストレー



(9)

15

ク等の表示不良を発生してしまう。このため、走査線3 a' 方向の遮光領域の幅W' は、図4 (a) に示した本実施形態における走査線3 a 方向の遮光領域の幅W よりも大きくなる(即ち、 $W' > W$ )。即ち、比較例と比較して、本実施形態では、走査線3 a 方向の遮光領域の幅W が狭くて済む分だけ各画素の開口領域を広げることが可能となるのである。

【0072】また、図4 (a) に示すようにデータ線6 a 方向の遮光領域と走査線3 a 方向の遮光領域の交差部で第1コンタクトホール8 a を設けることで、当該第1コンタクトホール8 a の存在及びこれを避けて配線される容量線3 b の存在に起因してそれらの上方(配向膜16の表面)に生じる不規則な凹凸を低減することが可能となる。また、画素の開口領域から離間している。このため、第1コンタクトホール8 a を開孔することにより生じる不規則な凹凸の影響を効率的に低減できる。このように画素電極9 a 付近における配向膜16表面の凹凸が低減されていれば、画素電極9 a 付近におけるラビング処理を均一に行うことが可能となり且つ液晶層50の層厚を均一化できる。この結果、液晶層50の配向不良を低減できる。

【0073】更にまた、容量線3 b の走査線3 a に沿って延びる部分には、第1コンタクトホール8 a を避けるための括れが無い分だけ第1容量電極1 f に対向配置される第2容量電極の面積を増加させることができ、この第2容量電極と第1容量電極1 f とにより構築可能な蓄積容量70を増大できる。

【0074】また本実施形態では図2に示したように、第2コンタクトホール8 b は、平面的に見て走査線3 a に沿った各画素の遮光領域のうち相隣接する2本のデータ線6 a 間のほぼ中央に開孔されている。このため、第2コンタクトホール8 b 上における配向膜16の凹凸を、各画素の開口領域の一辺に沿った遮光領域のほぼ中央付近に配置させることができる。これにより、第2コンタクトホール8 b 上における配向膜16表面の凹凸による悪影響を各画素毎に左右対称にでき、全画素を巨視的に見た場合における各画素の表示不良を平均化できる。

【0075】このように本実施形態では、第2コンタクトホール8 b の開孔位置についての自由度は高く、第1中間導電層80上で、データ線6 a と重なっていない領域であれば、任意の位置に第2コンタクトホール8 b を開孔可能である。

【0076】このため本実施形態では、第2コンタクトホール8 b を容量線3 b に重なる位置に開孔することにより、第2コンタクトホール8 b が開孔された平面領域にも蓄積容量70を構築することができ、有利である。

【0077】尚、蓄積容量70中の一の誘電体膜としての絶縁薄膜2は、高温酸化等によりポリシリコン膜上に形成されるTFT30のゲート絶縁膜に他ならないの

16

で、薄く且つ高耐圧の絶縁膜とすることができ、他の誘電体膜としての第1層間絶縁膜81は絶縁薄膜2と同様に薄く形成することが可能である。従って、これらの誘電体膜を薄く構成することにより、より一層小さい領域で大容量の蓄積容量70を構築できる。

【0078】以上のように、本実施形態の電気光学装置によれば、画素開口率を高めると同時に蓄積容量70を増大させることができ、しかも画素電極9 a 付近における配向膜16の表面に不規則な凹凸が生じることによる表示画像の品位低下を低減できる。これらの結果、明るくてコントラスト比が高く、フリッカー、ゴースト、クロストーク等の表示不良の低減された高品位の画像表示が可能となる。

【0079】再び図3において、画素スイッチング用TFT30は、LDD(Lightly Doped Drain)構造を有しており、走査線3 a、当該走査線3 a からの電界によりチャネルが形成される半導体層1 a のチャネル領域1 a'、走査線3 a と半導体層1 a とを絶縁する絶縁薄膜2、データ線6 a、半導体層1 a の低濃度ソース領域1 b 及び低濃度ドレイン領域1 c、半導体層1 a の高濃度ソース領域1 d 並びに高濃度ドレイン領域1 e を備えている。高濃度ドレイン領域1 e には、複数の画素電極9 a のうちの対応する一つが第1中間導電層80を中継して接続されている。本実施形態では特にデータ線6 a は、A1等の低抵抗な金属膜や金属シリサイド等の合金膜などの遮光性且つ導電性の薄膜から構成されている。

【0080】走査線3 a 及び容量線3 b 上に設けられた第1層間絶縁膜81には、高濃度ソース領域1 d へ通じる第3コンタクトホール5 及び高濃度ドレイン領域1 e へ通じる第1コンタクトホール8 a が各々形成されている。

【0081】第1層間絶縁膜81上には、第1コンタクトホール8 a を介して高濃度ドレイン領域1 e に接続された第1中間導電層80と、コンタクトホール18 a を介して容量線3 b と接続された第2中間導電層180とが形成されている。

【0082】第1中間導電層80上には、第2層間絶縁膜4が形成されている。第2層間絶縁膜4上には、データ線6 a が形成されており、データ線6 a は、第2層間絶縁膜4に開孔された第3コンタクトホール5を介して高濃度ドレイン領域1 d に電気的に接続されている。

【0083】更に、データ線6 a 及び第2層間絶縁膜4上には、第1中間導電層80への第2コンタクトホール8 b が形成された第3層間絶縁膜7が形成されている。第2コンタクトホール8 b を介して、画素電極9 a は第1中間導電層80に電気的に接続されている。画素電極9 a は、このように構成された第3層間絶縁膜7の上面に設けられている。

【0084】画素スイッチング用TFT30は、好ましくは上述のようにLDD構造を持つが、低濃度ソース領

(10)

17

域1b及び低濃度ドレイン領域1cに不純物の打ち込みを行わないオフセット構造を持ってよいし、走査線3aの一部であるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するセルフアライン型のTFTであってもよい。

【0085】また本実施形態では、画素スイッチング用TFT30の走査線3aの一部からなるゲート電極を高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これら  
10の間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャネルとソース及びドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも1個をLD構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0086】次に第1中間導電層80について更に説明する。

【0087】図2及び図3に示すように、第1中間導電層80は、半導体層1aと画素電極9aとの間に介在しており、高濃度ドレイン領域1eと画素電極9aとを第1  
15コンタクトホール8a及び第2コンタクトホール8bを経由して電氣的に接続する。

【0088】このため、画素電極9aから半導体層1aまで一つのコンタクトホールを開孔する場合と比較して、第1コンタクトホール8a及び第2コンタクトホール8bの径を夫々小さくできる。即ち、一つのコンタクトホールを開孔する場合には、エッチング時の選択比が低いとコンタクトホールを深く開孔する程エッチング精度は落ちるため、例えば50nm程度の非常に薄い半導体層1aにおける突き抜けを防止するためには、コンタクトホール  
20の径を小さくできるドライエッチングを途中で停止して、最終的にウェットエッチングで半導体層1aまで開孔するように工程を組まねばならない。或いは、ドライエッチングによる突き抜け防止用の膜を別途設けたりする必要が生じてしまうのである。

【0089】これに対して本実施形態では、画素電極9a及び高濃度ドレイン領域1eを2つの直列な第1コンタクトホール8a及び第2コンタクトホール8bにより接続すればよいので、これら第1コンタクトホール8a及び第2コンタクトホール8bを夫々、ドライエッチングにより開孔することが可能となるのである。或いは、少なくともウェットエッチングにより開孔する距離を短くすることが可能となるのである。但し、第1コンタクトホール8a及び第2コンタクトホール8bに夫々、若干のテーパーを付けるために、ドライエッチング後に敢えてウェットエッチングを行うようにしてもよい。以上のように本実施形態によれば、第1コンタクトホール8

18

a及び第2コンタクトホール8bの径を夫々小さくでき、第1コンタクトホール8aにおける第1中間導電層80の表面に形成される窪みや凹凸も小さくて済むので、その上方に位置する画素電極9aの部分における平坦化が促進される。更に、第2コンタクトホール8bにおける画素電極9aの表面に形成される窪みや凹凸も小さくて済むので、この画素電極9aの部分における平坦化が促進される。更に本実施形態では、このように第1層間絶縁膜81を薄く形成することにより、第2コンタクトホール8bの径を更に小さく出来る。

【0090】第1中間導電層80の具体的な材料としては、例えば第1遮光膜11aと同様に、不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPb等を少なくとも一つ含む、金属単体、合金、金属シリサイド等が挙げられる。これらから構成すれば、高融点金属と画素電極9aを構成するITO膜とが接触しても高融点金属が腐食することはないため、第2コンタクトホール8bを介して第1中間導電層80及び画素電極9a間で良好に電氣的な接続がとれる。但し、第1中間導電層80は、導電性のポリシリコン膜から構成してもよい。この場合でも、蓄積容量70を増加させる機能及び中継機能は十分に発揮し得る。この場合には特に、第1層間絶縁膜81との間で熱等によるストレスが発生しにくくなるので、クラック防止に役立つ。

【0091】また、第1中間導電層80の膜厚は、例えば50nm以上500nm以下程度とするのが好ましい。第1中間導電層80の膜厚が50nm程度であれば、製造プロセスにおける第2コンタクトホール8bの開孔時に突き抜ける可能性は低くなり、また500nm程度であれば画素電極9aの表面の凹凸は問題とならないか或いは比較的容易に平坦化可能だからである。但し、第1中間導電層80は高融点金属膜やその合金膜から構成すれば、金属膜と層間絶縁膜とのエッチングにおける選択比が大きく異なるため、前述の如きドライエッチングによる突き抜けの可能性は殆ど無い。

【0092】以上に加えて本実施形態では特に、第1中間導電層80及び第2中間導電層180は、遮光性の導電膜である高融点金属膜からなる。従って、対向基板20上にある第2遮光膜23及びTFTアレイ基板10上にあるデータ線6aのみならず、第1中間導電層80及び第2中間導電層180により、TFT30のチャネル領域1a'やその隣接領域を遮光できる。これにより、対向基板20側から強力な入射光が入射しても、トランジスタ特性の変化を防止できる。このため本実施形態の電気光学装置は、例えばプロジェクタのライトバルブ用途の如く強力な入射光が入射される場合に有効である。

【0093】更に本実施形態では、このように遮光性の第1中間導電層80及び第2中間導電層180は、各画素の開孔領域の一部を規定するように幅広に構成されているので、これらが存在する遮光領域には、対向基板2

(11)

19

0上に第2遮光膜23を形成したり開口領域を規定するためにデータ線6bの幅を広めて形成しなくてもよい。

【0094】ここでは特に、図2に示すようにデータ線6aに沿った各画素の遮光領域では、データ線6aの幅 $W_d$ と、容量線3bの突出部分の幅 $W_c$ と、第2中間導電層180の幅 $W_m$ との間には、 $W_d < W_c < W_m$ なる関係が成立するように、これらのデータ線6a、容量線3b及び第2中間導電層180は平面レイアウトされている。従って、対向基板20側からの入射光に対しては、TFTアレイ基板10上においてデータ線6a及び第2中間導電層180という二重の遮光が可能となる。仮に高反射率のA1膜からなるデータ線6aのみによりTFT30の遮光を行った場合には、基板面に対して傾斜した投射光や戻り光がデータ線6aの内面で反射されて多重反射光として最終的にチャネル領域1a'やその隣接領域に至ってしまう。しかしながら、本実施形態では、第1中間導電層80及び第2中間導電層180を低反射率の高融点金属膜やポリシリコン膜から形成することにより且つ第2中間導電層180をデータ線6aよりも幅広( $W_d < W_m$ )に形成することにより、上述の如き内面反射による多重反射光を減衰できる。従って、プロジェクタのライトバルブ用途のように強力な入射光や反射光が存在する用途では本実施形態の構成は大変有益である。

【0095】更にまた本実施形態では特に、平面的に見て、画素電極9aにおけるデータ線6aに沿った縁部分は、第2中間導電層180の縁部分に重なるようにし、画素電極9aにおけるデータ線6aに沿った縁部分は、データ線6aの縁部分にほとんど重ねない。このように、第2中間導電層180で遮光領域を規定し、データ線6aと画素電極9aを極力重ねないようにすることで、ソース及びドレイン間の寄生容量を大幅に低減することができる。これにより、コントラスト比の低下や、クロストーク、ゴースト等の表示不良の発生を抑制し、高品位な電気光学装置を実現できる。

【0096】尚、本実施形態では好ましくは、データ線6aと第2中間導電層180との間にある第2層間絶縁膜4は、その膜厚が500~2000nmとなるように形成される。このような膜厚条件に加えて、第2中間導電層180は、コンタクトホール18aを介して容量線3bに接続されているので、データ線6aと第2中間導電層180との間における寄生容量についても実用上無視できる程度に小さくできる。尚、より具体的な膜厚については、要求される画像品位や装置仕様に応じて、実験、理論計算、シミュレーション等により、個別具体的に決めればよい。

【0097】以上説明した実施形態では好ましくは第1遮光膜11aは、TFTアレイ基板1上の周辺領域に引き出されて、定電位線に接続される。このように構成すれば、第1遮光膜11aを一定電位に固定でき、下地絶

20

縁膜12を介して第1遮光膜11a上に形成されるTFT30の特性を、第1遮光膜11aにおける電位変動により変化させることはない。この場合、定電位源としては、当該電気光学装置を駆動するための走査線駆動回路、データ線駆動回路等の周辺回路に供給される負電源、正電源等の定電位源、接地電源、対向電極21に供給される定電位源等が挙げられる。容量線3aと第1遮光膜11aが電氣的に接続されていても良い。このような構成を採れば、蓄積容量形成用の配線を冗長構造で形成でき、有利である。

【0098】(電気光学装置の製造プロセス)次に、以上のような構成を持つ第1実施形態の電気光学装置の製造プロセスについて、図5及び図6を参照して説明する。ここに、図5及び図6は各工程におけるTFTアレイ基板側の各層を、図3と同様に図2のA-A'断面に対応させて順を追って示す工程図である。

【0099】先ず図5の工程(1)に示すように、石英基板、ガラス基板、シリコン基板等のTFTアレイ基板10を用意する。ここで、好ましくは $N_2$ (窒素)等の不活性ガス雰囲気且つ約900~1300℃の高温で熱処理し、後に実施される高温プロセスにおけるTFTアレイ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にTFTアレイ基板10を同じ温度かそれ以上の温度で熱処理しておく。そして、このように処理されたTFTアレイ基板10の全面に、Ti、Cr、W、Ta、Mo及びPb等の金属や金属シリサイド等の金属合金膜を、スパッタリング等により、100~500nm程度の膜厚、好ましくは約200nmの膜厚の遮光性導電膜を形成した後、フォトリソグラフィ及びエッチングを行うことにより、第1遮光膜11aを形成する。尚、第1遮光膜11a上に、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。

【0100】次に図5の工程(2)に示すように、第1遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば、約500nm~2000nmとする。

【0101】次に図5の工程(3)に示すように、下地絶縁膜12の上に、約450~550℃、好ましくは約500℃の比較的低温環境中で、流量約400~600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20~40PaのCVD)により、アモルファスシリコン膜を形成した後、窒

(12)

21

素雰囲気中で、約600～700℃にて約1～10時間、好ましくは、4～6時間の熱処理を施することにより、アモルファスシリコン膜を約50～200nmの厚さ、好ましくは約100nmの厚さとなるまで固相成長させポリシリコン膜を形成する。固相成長させる方法としては、RTA (Rapid Thermal Anneal) を使った熱処理でも良いし、エキシマレーザー等を用いたレーザーアニールでも良い。

【0102】この際、画素スイッチング用TFT30として、nチャネル型の画素スイッチング用TFT30を作成する場合には、当該チャネル領域にSb (アンチモン)、As (砒素)、P (リン) などのV族元素の不純物を僅かにイオン注入等によりドーピングしても良い。また、画素スイッチング用TFT30をpチャネル型とする場合には、B (ボロン)、Ga (ガリウム)、In (インジウム) などのIII族元素の不純物を僅かにイオン注入等によりドーピングしても良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化し、その後熱処理等により再結晶化させてポリシリコン膜1を形成しても良い。

【0103】次に図5の工程(4)に示すように、画素スイッチング用TFT30を構成する半導体層1aを約900～1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約20～150nmの比較的薄い厚さの熱酸化シリコン膜からなる単一層構造の絶縁薄膜2を形成する。但し、係る熱酸化シリコン膜を30nm以下程度に薄く形成した後、減圧CVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる絶縁薄膜を約50nmの比較的薄い厚さに堆積し、これらの熱酸化シリコン膜及び絶縁薄膜を含む多層構造を持つ絶縁薄膜2を形成してもよい。このように複数層構造にすれば、高温熱酸化時間を短くすることにより、特に8インチ以上の大型基板を使用する場合に熱によるそりを防止することができる。

【0104】これらの結果、半導体層1aの厚さは、約30～150nmの厚さ、好ましくは約35～50nmの厚さとなり、絶縁薄膜2の厚さは、約20～150nmの厚さ、好ましくは約30～100nmの厚さとなる。

【0105】次に図5の工程(5)に示すように、フォトリソグラフィ工程、エッチング工程等によりレジスト層500を第1容量電極1fとなる部分を除く半導体層1a上に形成した後、例えばPイオンをドーズ量約 $3 \times 10^{12}/\text{cm}^2$ でドーピングして、第1容量電極1fを低抵抗化しても良い。

【0106】次に図6の工程(6)に示すように、先ずレジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、走査線3aと共に容量線3bを形

22

成する。更に、画素スイッチング用TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3aの一部であるゲート電極をマスクとして、PなどのV族元素の不純物を低濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{13}/\text{cm}^2$ のドーズ量にて)ドーピングする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。

【0107】次に図6の工程(7)に示すように、画素スイッチング用TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広いマスクでレジスト層600を走査線3a上に形成した後、同じくPなどのV族元素の不純物を高濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{15}/\text{cm}^2$ のドーズ量にて)ドーピングする。また、画素スイッチング用TFT30をpチャネル型とする場合、半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、BなどのIII族元素の不純物を用いてドーピングすれば良い。

【0108】次に図6の工程(8)に示すように、レジスト層600を除去した後、走査線3a及び容量線3b上に、減圧CVD法、プラズマCVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜を約200nm以下の薄い厚さに堆積することにより、第1層間絶縁膜81を形成する。但し、このように絶縁膜を堆積する前に、石英基板等からなるTFTアレイ基板10上における高温プロセスを利用して、高耐圧であり比較的薄くて欠陥の少ない酸化膜を形成して、係る酸化膜を含めて吹く複数層構造を有する第1層間絶縁膜81を形成してもよい。

【0109】次に図6の工程(9)に示すように、第1中間導電層80と高濃度ドレイン領域1eとを電気的に接続するための第1コンタクトホール8aを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより第1層間絶縁膜81に開孔する。このようなドライエッチングは、指向性が高いため、小さな径の第1コンタクトホール8aを開孔可能である。或いは、第1コンタクトホール8aが半導体層1aを突き抜けるのを防止するのに有利なウエットエッチングを併用してもよい。このウエットエッチングは、第1コンタクトホール8aに対し、より良好に電気的な接続をとるためのテーパーを付与する観点からも有効である。本実施形態では、第1コンタクトホール8aの開孔と同時に第2中間導電層180と容量線3bとを接続するためのコンタクトホール18aも開孔する。これにより、工程の増加を防ぐことができる。

【0110】次に図6の工程(10)に示すように、第1層間絶縁膜81上に、第1遮光膜11aと同じく、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリ

(13)

23

サイド等の金属合金膜やポリシリコン膜をスパッタリング等により堆積した後、フォトリソグラフィ及びエッチング処理により、第1中間導電層80を形成する。これと同時に、第2中間導電層180も形成する。尚、これらの第1中間導電層80及び第2中間導電層180上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良いし、高濃度ドレイン領域1eと第1中間導電層80の接続抵抗を小さくするために、第1中間導電層80及び第2中間導電層180の層構造を下層にポリシリコン膜、上層に高融点金属といった2層構造以上で形成しても良い。

【0111】次に図6の工程(11)に示すように、走査線3a、容量線3b、第1層間絶縁膜81及び下地絶縁膜12からなる積層体における段差のある上面を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜4を形成する。尚、第2層間絶縁膜4を形成した後、半導体層1aを活性化するために約1000℃の熱処理を行っても良い。

【0112】次に、データ線6aに対する第3コンタクトホール5をエッチングにより第2層間絶縁膜4、第1層間絶縁膜81及び絶縁薄膜2に開孔し、その上にデータ線6aをスパッタリング法等により約100~500nmの厚さのA1等の低抵抗金属膜や金属シリサイド膜から形成し、その上に第3層間絶縁膜7をCVD法等により形成する。

【0113】続いて、第3層間絶縁膜7及び第2層間絶縁膜4に第2コンタクトホール8bをエッチングにより開孔し、最後にITO膜からなる画素電極9aを第2コンタクトホール8bを介して第1中間導電層80と電気的な接続がとれるように形成する。特にこの工程(11)においては、第3コンタクトホール5の開孔時に、走査線3aや容量線3bを基板周辺領域において図示しない配線と接続するためのコンタクトホールも、第1層間絶縁膜81や第2層間絶縁膜4に同時に開孔するとよい。また、データ線6aは、約100~500nm、好ましくは約300nm程度に堆積し、第3層間絶縁膜7は、約500~1500nm程度に堆積するとよい。また、第2コンタクトホール8aは、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成すればよいが、テーパ状にするためにウェットエッチングを用いても良い。更に、画素電極9aは、約50~200nm程度の厚さに堆積するとよい。尚、当該電気光学装置を反射型の液晶装置に用いる場合には、A1等の反射率及び遮光性の高い材料から画素電極9aを形成してもよい。

【0114】以上説明したように本実施形態の製造プロセスによれば、上述した本実施形態の電気光学装置を比較的容易に製造できる。加えて、画素スイッチング用T

24

FT30は半導体層1aをポリシリコンで形成するので、画素スイッチング用TFT30の形成時にほぼ同一工程で、周辺回路を形成することも可能である。

【0115】尚、以上説明した製造プロセスでは、画素電極9aが形成される段階で、膜面が平坦化されているように第2層間絶縁膜4や第3層間絶縁膜7の表面をCMP法等により平坦化しても良い。或いはTFTアレイ基板10の所定領域にエッチングを予め施して凹状の窪みを形成して、その後の工程を同様に行うことにより結果的に第3層間絶縁膜7の表面が平坦化されるようにしても良いし、第2層間絶縁膜4や下地絶縁膜12を凹状に窪めて形成しても良い。このように、画素電極9aが形成される段階で、下地の膜面が平坦化されていれば、段差による液晶のディスクリネーションの発生を極力抑えることができ、コントラスト比の低下等の表示不良を招くことがない。

【0116】(第2実施形態)本発明による電気光学装置の第2実施形態である液晶装置の構成について、図7及び図8を参照して説明する。図7は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図8は、図7のA-A'断面図である。尚、図8においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0117】図7及び図8に示すように第2実施形態は、第1実施形態における第1中間導電層80及び第2中間導電層180が分離されておらずに、各画素毎にL字形状の一つの中間導電層80'として設けられている点と、これに伴って第1実施形態における第2中間導電層180と容量線3bとを接続するためのコンタクトホール18aが開孔されていない点とが異なり、その他の構成については第1実施形態の場合と同様である。尚、図7及び図8においては、第1実施例に係る図2及び図3と同様の構成要素については同様の参照符号を付し、それらの説明については省略する。

【0118】このように第2実施形態では、中間導電層80'は、データ線6aに沿った容量線3bの部分と第2層間絶縁膜4を介して重ねられ、蓄積容量70を形成する。従って、データ線6aに沿った遮光領域において、半導体層1aの高濃度ドレイン領域1eから延設された第1容量電極1fと容量線3bとを対向配置させ、且つ容量線3bと中間導電層80'とを対向配置させることができる。この結果、第2実施形態によれば、データ線6aに沿った遮光領域にも、立体的な蓄積容量70を構築できるため、小さな領域に効率的に大きな蓄積容量を形成することができ、画素の高開口率化や画素ピッチの微細化が進んだ際に、非常に有利な構造である。

【0119】(第3実施形態)本発明による電気光学装置の第3実施形態である液晶装置の構成について、図9及び図10を参照して説明する。図9は、データ線、走



(14)

25

査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図であり、図10は、図9のA-A'断面図である。尚、図10においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0120】尚、図9及び図10においては、第1実施形態に係る図2及び図3若しくは第2実施形態に係る図7及び図8と同様の構成要素については同様の参照符号を付し、それらの説明については省略する。

【0121】このように第3実施形態では、中間導電層80'は、データ線6aに沿った容量線3b"のデータ線6aに沿った部分に第2層間絶縁膜4を介して重ねられており、この領域でも蓄積容量70を形成している。従って、データ線6aに沿った遮光領域において、半導体層1aの高濃度ドレイン領域1eが延設されて容量電極をなす第1容量電極1fと容量線3b"とを対向配置させることができ、且つ容量線3b"と中間導電層80'とを対向配置させることができる。これに加えて第2実施形態の場合と異なり、第1コンタクトホール8a"が平面的に見て容量線3b"のデータ線6aに沿った部分の先端より更に先で中間導電層80'と半導体層1aが電氣的に接続できるように設けるため、容量線3b"に括れを設ける必要がなくなり、更に画素の開口率を高め、且つ蓄積容量70を増大することができる。

【0122】以上説明した各実施形態では、各種コンタクトホールの平面形状は、円形や四角形或いはその他の多角形状等でもよいが、円形は特にコンタクトホールの周囲の層間絶縁膜等におけるクラック防止に役立つ。

【0123】(第4実施形態)本発明による電気光学装置の第4実施形態である液晶装置の構成について、図11及び図12を参照して説明する。図11は、データ線、走査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図であり、図12は、図11のA-A'に沿った断面図である。尚、図12においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。第1実施形態と同一の部材については同一の符号を付し詳細な説明は省略する。

【0124】第4実施形態は、図11に示すように、非開口領域のほぼ中心に走査線3a及びデータ線6aを設けている。半導体層1aは、走査線3aと交差するようにデータ線6aの下方に配置する。図12に示すようにデータ線6aと半導体層1aの高濃度ソース領域1dは、データ線6aの下方において第3コンタクトホール5を介して電氣的に接続されている。また、半導体層1aの高濃度ドレイン領域1eと中間導電層80aは、データ線6aの下方において第1コンタクトホール8a'''を介して電氣的に接続されている。このように半導体層1aを遮光性のデータ線6aの下方に配置することにより、対向基板20側から入射される光が直接半

26

導体層1aに照射されることを防ぐ効果がある。更に、半導体層1aと第3コンタクトホール5及び第1コンタクトホール8a'''を、走査線3a方向の非開口領域及びデータ線6a方向の非開口領域の中心線に対して線対称に形成することにより、段差形状をデータ線6aに対して左右対称にすることができ、液晶の回転方向による光抜けの差がなくなるので有利である。

【0125】半導体層1aの下方には、下地絶縁膜12を介して第1遮光膜11aが形成されている。第1遮光膜11aはデータ線6a方向及び走査線3a方向に沿って、マトリクス状に形成されている。半導体層1aは第1遮光膜11aの内側に配置されており、TFTアレ基板10側からの戻り光が、直接半導体層1aに照射されることを防ぐ効果がある。

【0126】中間導電層80aはポリシリコン膜や高融点金属等を含む導電膜から成り、半導体層1aと画素電極9aの層間において、走査線3a及びデータ線6aに沿って略T字型に延設され、半導体層1aと画素電極9aを電氣的に接続するためのバッファとしての機能を果たす。具体的には、半導体層1aの高濃度ドレイン領域1eと導電性の中間導電層80aを第1コンタクトホール8a'''において電氣的に接続し、中間導電層80aと画素電極9aを第2コンタクトホール8bにおいて電氣的に接続されている。このような構成を採る事により、層間絶縁膜に対して深いコンタクトホールを開孔する場合でも、エッチング選択比が大きい中間導電層80aを設けることにより、コンタクトホール開孔時に半導体層1aを突抜けてしまう危険を回避する事ができる。尚、データ線6aと半導体層1aの高濃度ソース領域1dとを電氣的に接続するための第3コンタクトホール5においても同様に、中間導電層80aと同一膜で中継させても良い。

【0127】また、第4実施形態では、中間導電層80aに層間絶縁膜91が積層され、その上に遮光性の導電膜90aを形成している。遮光性の導電膜90aは、第2コンタクトホール8bを除いて中間導電層80aを覆うように走査線3a方向に画像表示領域の外側まで延設され、走査線駆動回路やデータ線駆動回路等に供給される負電源、正電源等の定電位源、接地電源、あるいは対向電極に供給される定電位源等のいずれかと電氣的に接続することにより電位が固定されている。したがって、中間導電層80aを一方の容量電極とし、遮光性の導電膜90aを他方の容量電極として図1に示す蓄積容量70を形成することができる。この際、層間絶縁膜91が蓄積容量70の誘電体膜として機能することは言うまでもない。ここで、層間絶縁膜91は蓄積容量70を形成するためだけに積層するので、中間導電層80aと遮光性の導電膜90aとの間でリークしない膜厚まで層間絶縁膜91を薄膜化することにより、蓄積容量70を増大できる。更に、本実施形態では層間絶縁膜81を厚く形



(15)

27

成することにより、中間導電層80aをTFT30や走査線3aの上方まで延設することができるため、蓄積容量70を効率良く増大させることができる。更に、第4実施形態では半導体層1aを延設して容量電極を形成していない。これにより、走査線3aと同一膜で蓄積容量を形成するための容量電極及び容量線を形成する必要がないため、図11に示すように、走査線3aを遮光性の導電膜90aや第1遮光膜11aから規定される非開口領域のほぼ中心に配置することができる。また、ポリシリコン膜から成る半導体層1aは膜の低抵抗化をする必要がないので、容量電極形成部に不純物を打ち込まなくても良く、工程を削減する事ができる。

【0128】第4実施形態では、TFT30のチャネル領域1a'は、走査線3aとデータ線6aの交差部に形成することで、データ線6a方向と走査線3a方向の非開口領域のほぼ中心に設けることができる。これにより、対向基板20側からの入射光やTFTアレ基板10側からの戻り光に対して、最も光が照射されにくい位置になるため、光によるTFT30のリーク電流を大幅に低減することができる。

【0129】更に、第4実施形態では図11に示すように、チャネル領域1a'付近において、遮光性の導電膜90a、中間導電層80a、第1遮光膜11aの順にパターン幅を狭く形成する事により、入射光が直接第1遮光膜11aに照射されないように工夫してある。また、遮光性の導電膜90aと半導体層1aの間にポリシリコン膜からなる中間導電層80aを介在させる事により、第1遮光膜11a表面での反射光やTFTアレ基板10側からの戻り光を吸収させる効果を持たせる事ができ、耐光性に有利である。

【0130】また、第4実施形態では、データ線6a、遮光性の導電膜90a、第1遮光膜11a等によりTFTアレ基板10上で非開口領域を形成できるため、対向基板20に遮光膜を設けなくても良い。これにより、TFTアレ基板10と対向基板20を機械的に貼り合わせる際に、アライメントがずれたとしても対向基板20上に遮光膜がないため、光が透過する領域（開口領域）が変化することはない。これにより、常に安定した画素開口率が得られるため、装置不良を大幅に低減することができる。

【0131】（電気光学装置の全体構成）以上のように構成された各実施形態における電気光学装置の全体構成を図13及び図14を参照して説明する。尚、図13は、TFTアレ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図14は、図13のH-H'断面図である。

【0132】図13において、TFTアレ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ

28

る額縁としての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び外部回路接続端子102がTFTアレ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号の遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。更にTFTアレ基板10の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレ基板10と対向基板20との間で電気的な導通をとるための上下導通材106が設けられている。そして、図14に示すように、図13に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレ基板10に固着されている。尚、TFTアレ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等进行检查するための検査回路等を形成してもよい。

【0133】以上図1から図14を参照して説明した各実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレ基板10の上に設ける代わりに、例えばTAB (Tape Automated Bonding) 基板上に実装された駆動用LSIに、TFTアレ基板10の周辺部に設けられた異方性導電フィルムを介して電気的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレ基板10の出射光が出射する側には各々、例えば、TN (Twisted Nematic) モード、VA (Vertically Aligned) モード、PDL C (Polymer Dispersed Liquid Crystal) モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方角で配置される。

【0134】以上説明した各実施形態における電気光学装置は、カラー表示のプロジェクトに適用されるため、3枚の電気光学装置がR (赤) G (緑) B (青) 用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラー

(16)

29

フィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。あるいは、TFTアレ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置に各実施形態における電気光学装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー表示用の電気光学装置が実現できる。

【0135】尚、以上説明した各実施形態における電気光学装置では、従来と同様に入射光を対向基板20の側から入射することとしたが、第1遮光膜11aを設けているので、TFTアレ基板10の側から入射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように電気光学装置をプロジェクタに取り付けなくても、半導体層1aのチャネル領域1a'やその隣接領域に光が入射することを効果的に防ぐことが出来、高画質の画像を表示することが可能である。この際、TFTアレ基板10の裏面側での反射を防止するための反射防止用のAR (Anti Reflection) 被膜された偏光板を別途配置したりARフィルムを貼り付ける必要もなく、その分だけ、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

【0136】また、各画素に設けられるスイッチング素子としては、正スタガ型又はコプラナー型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、各実施形態は有効である。

【0137】本発明の電気光学装置は、上述した各実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置もまた本発明の技術的範囲に含まれるものである。

#### 【図面の簡単な説明】

【図1】本発明の第1実施形態である電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

30

【図2】第1実施形態の液晶装置におけるデータ線、走査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図である。

【図3】図2のA-A'断面図である。

【図4】本実施形態における容量線及び走査線の平面パターンを比較例における平面パターンと比較して示す、容量線及び走査線の一部を拡大して示す平面図である。

【図5】第1実施形態における液晶装置の製造プロセスの実施形態における画像表示領域についての各工程を順を追って示す工程図(その1)である。

【図6】第1実施形態における液晶装置の製造プロセスの実施形態における画像表示領域についての各工程を順を追って示す工程図(その2)である。

【図7】本発明の第2実施形態の液晶装置におけるデータ線、走査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図である。

【図8】図7のA-A'断面図である。

【図9】本発明の第3実施形態の液晶装置におけるデータ線、走査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図である。

【図10】図9のA-A'断面図である。

【図11】本発明の第4実施形態の液晶装置におけるデータ線、走査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図である。

【図12】図11のA-A'断面図である。

【図13】各実施形態の液晶装置におけるTFTアレ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図14】図13のH-H'断面図である。

#### 【符号の説明】

- 1a…半導体層
- 1a'…チャネル領域
- 1b…低濃度ソース領域
- 1c…低濃度ドレイン領域
- 1d…高濃度ソース領域
- 1e…高濃度ドレイン領域
- 1f…第1容量電極
- 2…絶縁薄膜
- 3a…走査線
- 3b、3b'…容量線
- 4…第2層間絶縁膜
- 5…第3コンタクトホール
- 6a…データ線
- 7…第3層間絶縁膜
- 8a、8a'、8a''…第1コンタクトホール
- 8b…第2コンタクトホール
- 18…コンタクトホール
- 9a…画素電極
- 10…TFTアレ基板
- 11a…第1遮光膜

(17)

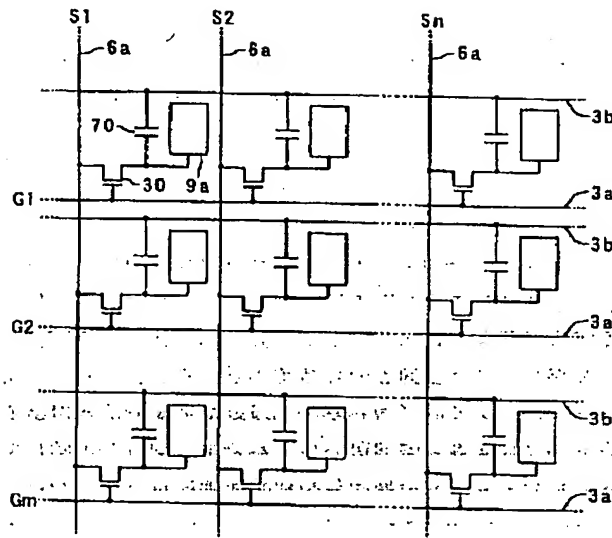
31

1 2…下地絶縁膜  
1 6…配向膜  
2 0…対向基板  
2 1…対向電極  
2 2…配向膜  
2 3…第2遮光膜  
3 0…T F T  
5 0…液晶層  
5 2…シール材

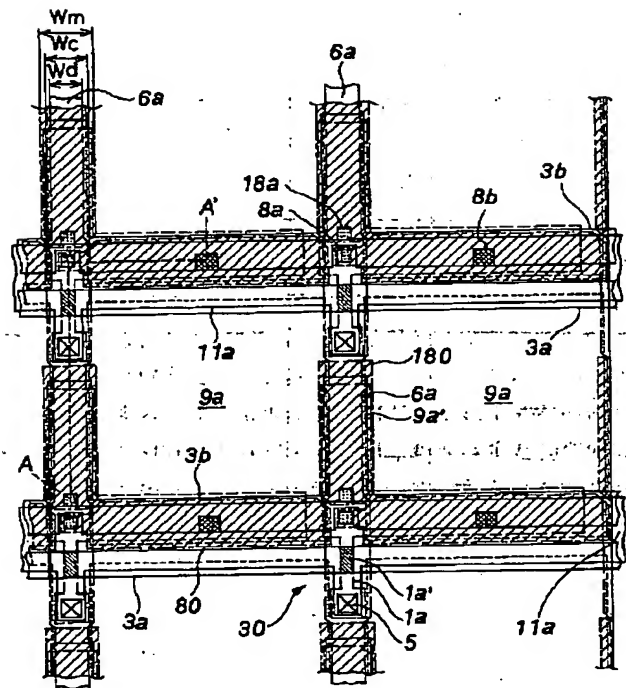
32

5 3 …第3 遮光膜  
7 0 …蓄積容量  
8 0 …第1 中間導電層  
8 0' …中間導電層  
8 1 …第1 層間絕緣膜  
1 0 1 …データ線驅動回路  
1 0 4 …走査線驅動回路  
1 8 0 …第2 中間導電層

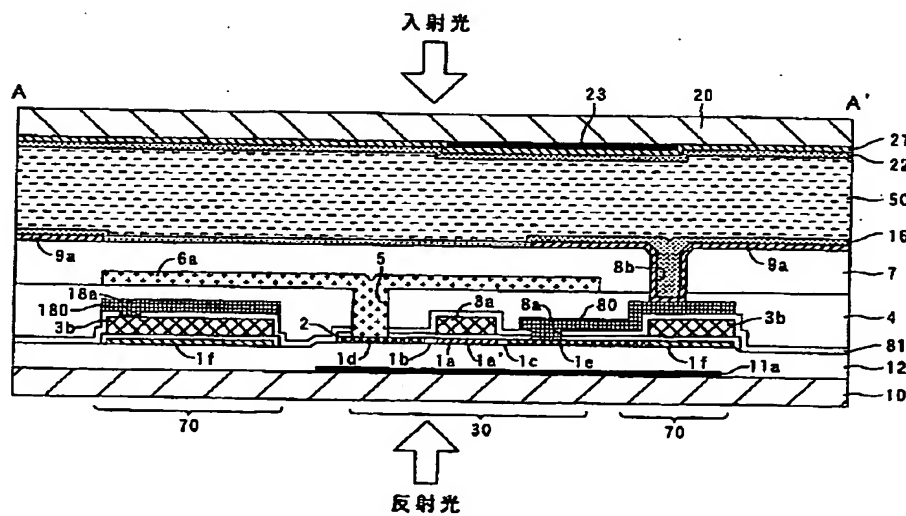
【図 1】



【図 2】

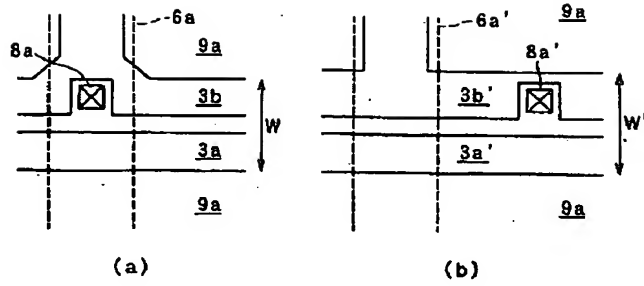


【図 3】

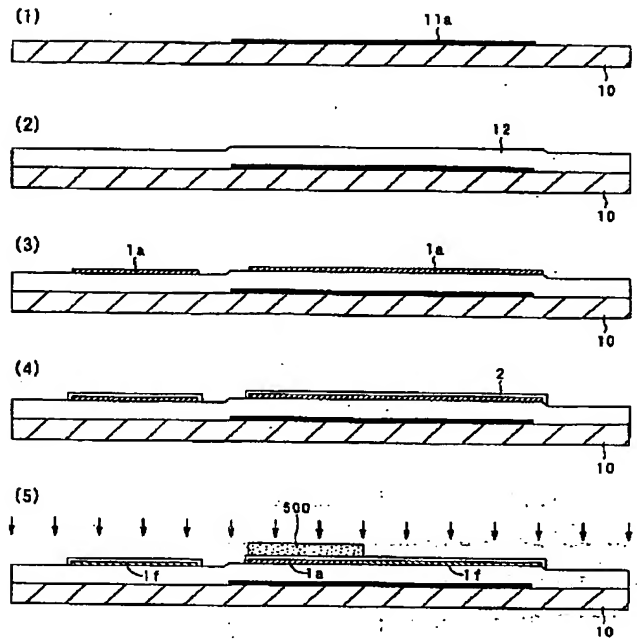


(18)

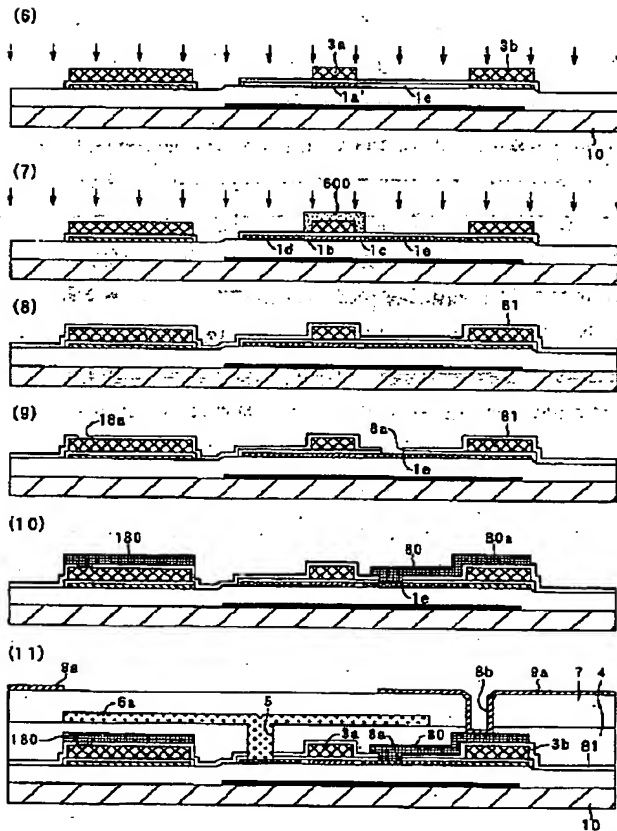
【図4】



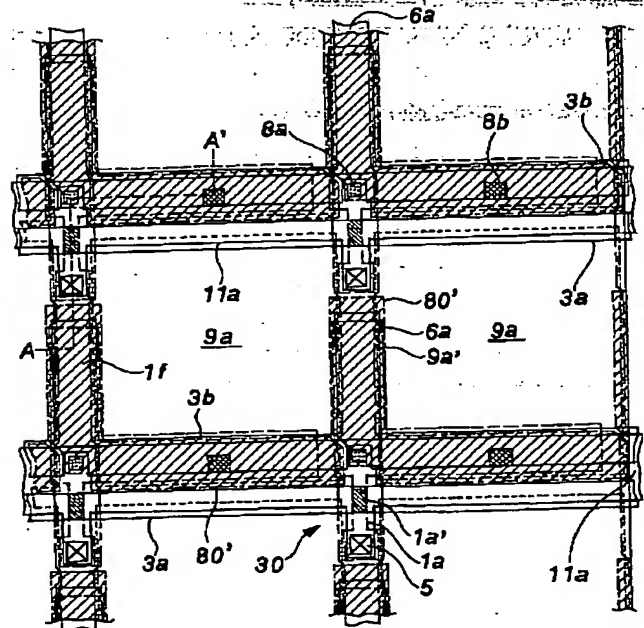
【図5】



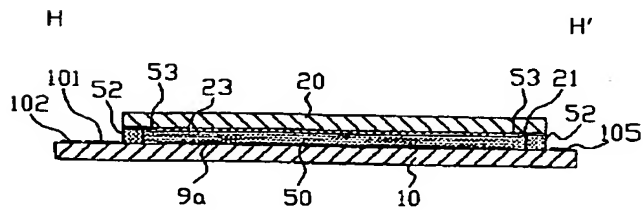
【図6】



【図7】

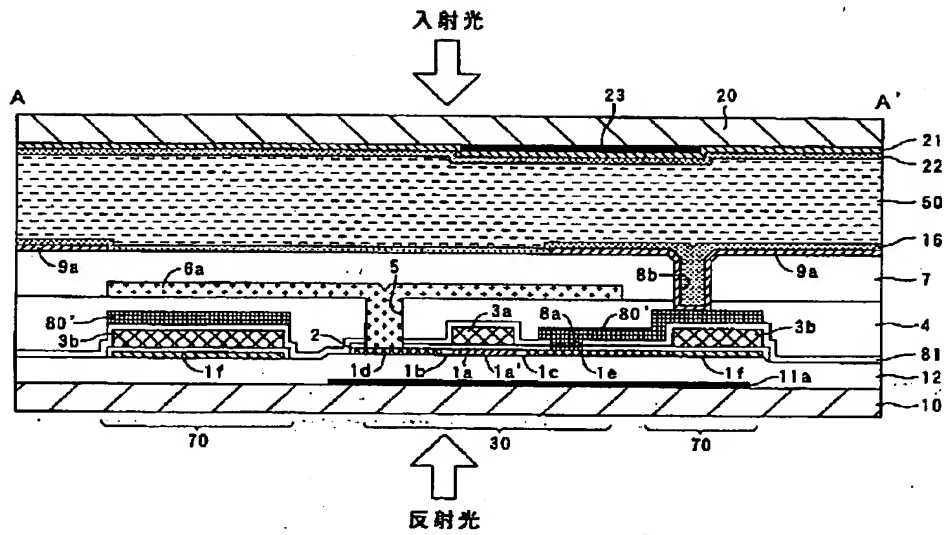


【図14】

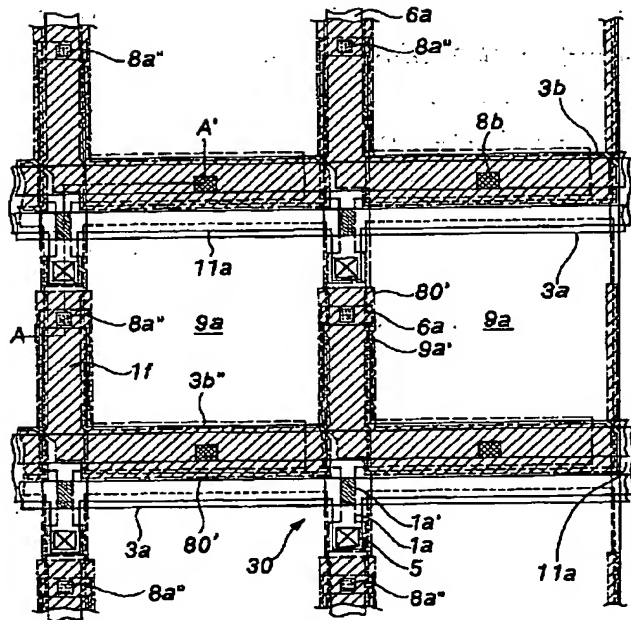


(19)

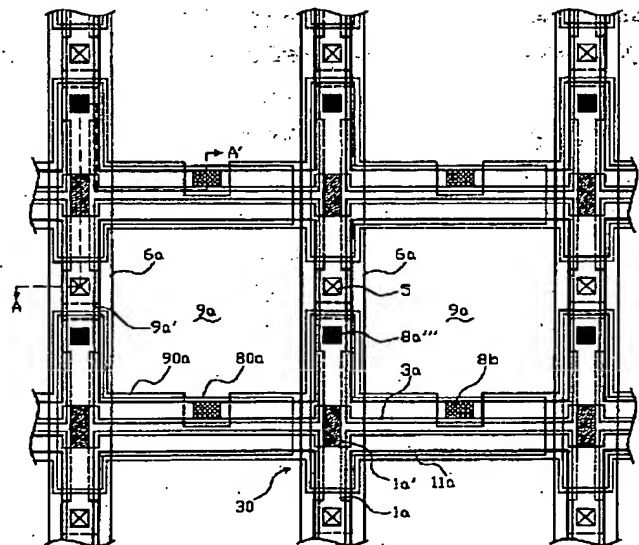
【図8】



【図9】

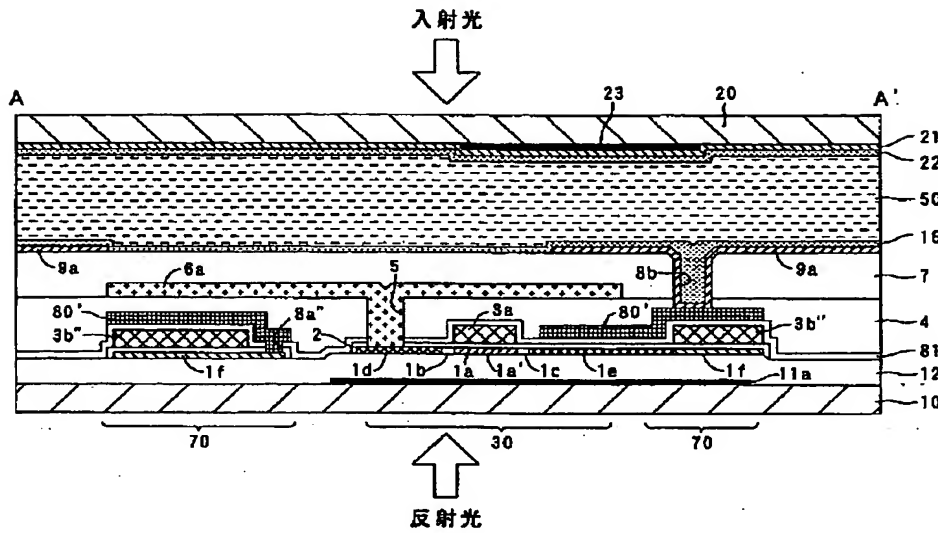


【図11】

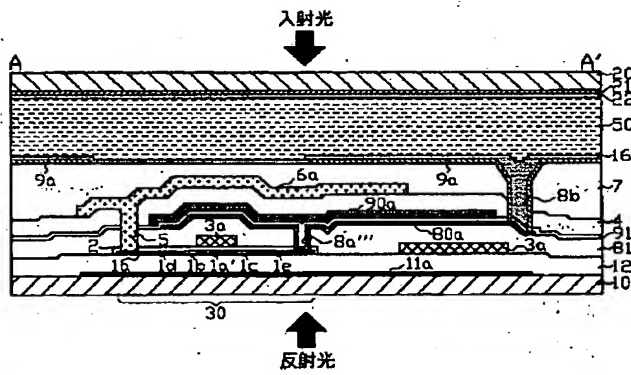


(20)

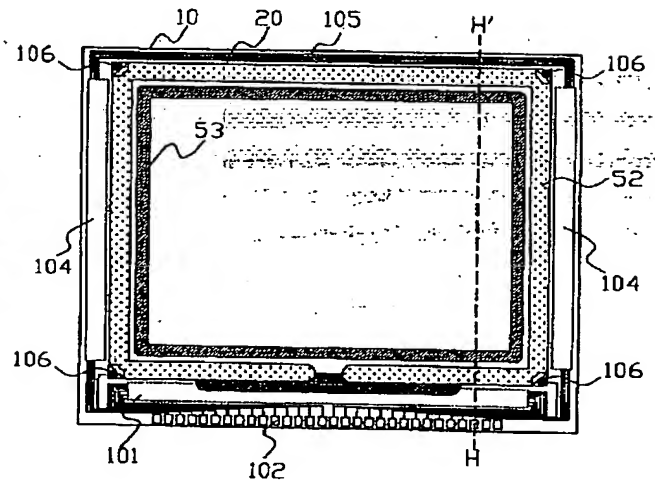
【図10】



【図12】



【図13】





(21)

フロントページの続き

Fターム(参考) 2H092 GA28 GA29 GA30 JA45 JA46  
JB54 JB56 JB58 JB64 JB65  
KB22 KB23 NA04 NA07 PA02  
PA06 PA09  
5C094 AA05 AA10 BA03 BA43 CA19  
EA04 EA07  
5F033 GG04 HH04 HH18 HH19 HH20  
HH21 HH25 JJ01 JJ04 JJ18  
JJ19 JJ20 JJ21 JJ25 KK01  
NN20 NN34 QQ09 QQ11 QQ19  
QQ37 RR09 RR13 RR14 RR15  
VV15 XX03  
5F110 AA30 BB02 CC02 DD02 DD03  
DD05 DD12 DD13 DD14 DD15  
DD17 EE28 FF02 FF03 FF23  
FF32 GG02 GG13 GG24 GG25  
GG32 GG47 GG52 HJ01 HJ04  
HJ23 HL04 HL05 HL08 HL11  
HL14 HL23 HM15 NN02 NN03  
NN04 NN22 NN23 NN24 NN25  
NN35 NN46 NN48 NN54 NN72  
NN73 PP02 PP03 PP10 PP13  
QQ04 QQ05 QQ11

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-331125

(43)Date of publication of application : 30.11.2001

(51)Int.Cl.

G09F 9/30  
G02F 1/1368  
H01L 21/768  
H01L 29/786

(21)Application number : 2001-005540

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 12.01.2001

(72)Inventor : MURAIDE MASAO

(30)Priority

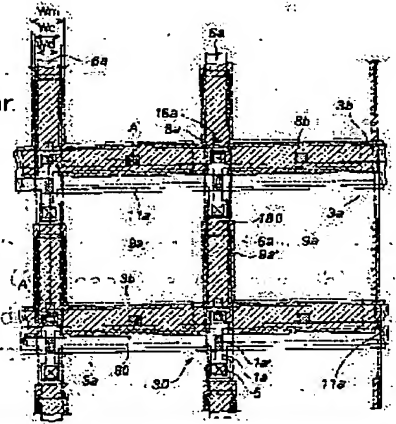
Priority number : 2000077172 Priority date : 17.03.2000 Priority country : JP

## (54) ELECTRO-OPTICAL DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To increase a pixel opening rate and also a storage capacity at the same time, and moreover, decrease the degradation of a display picture which is caused by irregularities generated on an alignment film surface near pixel electrodes, in an electro-optical device of a type provided with an intermediate conductive layer for relaying between pixel electrodes and TFTs for switching the pixels.

**SOLUTION:** The electro-optical device is provided with TFTs (30), data lines (6a), scanning lines (3a), capacitance lines (3b), a 1st intermediate conductive layer (80), a 2nd intermediate conductive layer (180), and pixel electrodes (9a). First contact holes (8a) for connecting drains of TFTs with the 1st intermediate conductive layer are opened at the position superimposed on the data lines if viewed from the top.



## LEGAL STATUS

[Date of request for examination] 12.01.2001

[Date of sending the examiner's decision of rejection] 01.06.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-13687

[Date of requesting appeal against examiner's decision of rejection] 01.07.2004

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The thin film transistor prepared on the substrate, and the pixel electrode electrically connected to the drain field of the semi-conductor layer of said thin film transistor, Two or more wiring prepared through the insulator layer between the semi-conductor layer of said thin film transistor, and said pixel electrode, With the middle conductive layer which makes the electrical installation of the drain field of the semi-conductor layer of said thin film transistor, and said pixel electrode, among said two or more wiring under at least one field of wiring The electro-optic device characterized by having the 1st contact hole which connects electrically the drain field and said middle conductive layer of a semi-conductor layer of said thin film transistor.

[Claim 2] The path of said 1st contact hole is an electro-optic device according to claim 1 characterized by being smaller than the path of the 2nd contact hole which connects electrically said middle conductive layer and said pixel electrode.

[Claim 3] It is the electro-optic device according to claim 1 characterized by for at least one wiring becoming with the data line electrically connected to the source field of the semi-conductor layer of said thin film transistor, and locating said 1st contact hole under the field of said data line among said two or more wiring.

[Claim 4] Said 1st contact hole is an electro-optic device according to claim 3 characterized by being arranged in near where said data line and said scanning line cross.

[Claim 5] It is the electro-optic device according to claim 3 characterized by nothing and said middle conductive layer extending the scanning line arranged by at least one wiring crossing to said data line among said two or more wiring along with said scanning line from the field of said data line.

[Claim 6] The electro-optic device according to claim 4 characterized by preparing the 2nd contact hole which connects electrically said middle conductive layer and said pixel electrode to the extension section arranged along with said scanning line of said middle conductive layer.

[Claim 7] Said 2nd contact hole is an electro-optic device according to claim 6 characterized by the thing between the data lines which adjoin each other mostly located in the center.

[Claim 8] Said middle conductive layer is an electro-optic device according to claim 3 or 4 characterized by extending along with said data line.

[Claim 9] It is the electro-optic device according to claim 1 which at least one wiring becomes among said two or more wiring by the capacity line which extends under said middle conductive layer, and is characterized by for said capacity line having avoided the field of said 1st contact hole, and having extended.

[Claim 10] The depth of said 1st contact hole is an electro-optic device according to claim 1 characterized by being shallower than the depth of the 2nd contact hole of said middle conductive layer and said pixel electrode.

[Claim 11] Said middle conductive layer is an electro-optic device according to claim 4 characterized by carrying out opposite arrangement partially at least through the capacity electrode and interlayer insulation film which consist of the same film as said scanning line.

[Claim 12] Said 2nd contact hole is an electro-optic device according to claim 11 characterized by being

punctured by the location which sees superficially and laps with said capacity electrode.

[Claim 13] It is the electro-optic device according to claim 11 or 12 which has the part prolonged along with said data line from the part which intersects the part which looks at said capacity electrode superficially and is prolonged along with the scanning line, and said data line, and is characterized by having put said middle conductive layer through an interlayer insulation film on said some of capacity electrodes [ at least ].

[Claim 14] Said middle conductive layer is an electro-optic device according to claim 1 characterized by consisting of electric conduction film of protection-from-light nature.

[Claim 15] Said middle conductive layer is an electro-optic device according to claim 14 characterized by specifying said a part of protection-from-light field.

[Claim 16] Said middle conductive layer is an electro-optic device according to claim 15 characterized by specifying said a part of protection-from-light field of the direction which met said data line including the part which sees superficially and is prolonged along with said data line.

[Claim 17] Said capacity electrode is an electro-optic device according to claim 16 characterized by materializing unrelated relation  $W_d < W_c < W_m$  between the width of face  $W_m$  of the middle conductive layer part prolonged along with the width of face  $W_d$  of said data line, the width of face  $W_c$  of said capacity electrode, and said data line in the part which has the part which sees superficially and is prolonged along with said data line, and met said data line, respectively.

[Claim 18] A part for the edge which saw superficially and met said data line in said pixel electrode is an electro-optic device according to claim 17 characterized by having put on a part for the edge of said middle conductive layer.

[Claim 19] Said semi-conductor layer is an electro-optic device according to claim 3 characterized by being formed in the bottom of the field of said data line.

[Claim 20] Said 1st contact hole is an electro-optic device according to claim 19 characterized by being formed in the 3rd contact hole which connects the source field and said data line of said semi-conductor layer, and the location which becomes symmetrical to the channel field of said semi-conductor layer.

[Claim 21] It is the electro-optic device according to claim 19 characterized by being located in the field which has the lower light-shielding film which said semi-conductor layer looked at superficially caudad, and was jugged out of said scanning line, looked at superficially the 2nd contact hole which connects electrically said middle conductive layer and said pixel electrode, and said lower light-shielding film jugged out of said scanning line.

[Claim 22] The thin film transistor prepared on the substrate, and the data line electrically connected to the source field of the semi-conductor layer of said thin film transistor, The pixel electrode electrically connected to the drain field of the semi-conductor layer of said thin film transistor, The middle conductive layer of the protection-from-light nature which makes the electrical installation of the drain field of the semi-conductor layer of said thin film transistor, and said pixel electrode, Under the capacity line which is formed along with said data line and located in the drain field of the semi-conductor layer of said thin film transistor, the light-shielding film formed by the same film as said middle conductive layer, and the field of said data line The electro-optic device characterized by having the contact hole which connects electrically said capacity line and said light-shielding film.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention belongs to the technical field of the electro-optic device of an active-matrix drive method, and belongs to the technical field of the electro-optic device of the format equipped with the middle conductive layer for taking an electric flow good into the laminated structure on a substrate especially between a pixel electrode and the thin film transistor for pixel switching (TFT is called suitably below Thin Film Transistor:).

[0002]

[Background of the Invention] Conventionally, if a scan signal is supplied to the gate electrode of TFT through the scanning line in the electro-optic device of the active-matrix drive method by TFT drive, the TFT will be made into an ON state and the picture signal supplied to the source-field of a semiconductor layer through the data line will be supplied to a pixel electrode through the TFT concerned. In order to cover a long time farther than the time amount made into this ON state and to hold the electrical potential difference of each picture signal supplied since only a short time is extremely performed for every pixel electrode through TFT, as for supply of such a picture signal, it is common to add each pixel electrode that storage capacitance is added.

[0003] On the other hand, between electric conduction film, such as ITO film which constitutes a pixel electrode from this kind of an electro-optic device, and the semiconductor layer which constitutes TFT for pixel switching, the laminating of gate dielectric film and the interlayer insulation film for insulating electrically the various electric conduction film which constitutes the scanning line, the data line, etc., and these electric conduction film from mutual is carried out, and the distance between these pixel electrodes and semi-conductor layers is long to about 1000nm. Therefore, it is technically difficult to connect these pixel electrodes and semi-conductor layers electrically by one contact hole. Then, a middle conductive layer is prepared between interlayer insulation films, this is relayed, and the technique which connects a pixel electrode and a semi-conductor layer electrically is developed.

[0004]

[Problem(s) to be Solved by the Invention] In this kind of electro-optic device, what pixel numerical aperture-ization is raised for (that is, the opening field which display light penetrates is extended in each pixel to the protection-from-light field which display light does not penetrate) becomes very important, a general request called high-definition-izing of a display image being strong, and, for that, making a pixel pitch detailed.

[0005] There is a trouble that it becomes difficult it to become still more difficult to make the storage capacitance which took especially the pixel pitch for making it detailed, and mentioned it above since a production process not only increases, but the number of laminatings and the number of contact holes will increase and a laminated structure will be complicated more, if the middle conductive layer like the above-mentioned is prepared especially, or to secure the field for puncturing a contact hole. And if the number of required contact holes increases by preparing a middle conductive layer in this way, irregularity will arise in the front face of the interlayer insulation film which originates in existence of a contact hole and is located in the upper part on a substrate, and irregularity will arise on the front face

of the orientation film finally formed a pixel electrode and on it. Thus, if irregularity arises on the front face of the orientation film in near a pixel electrode, a malfunction will arise owing to the poor orientation of the liquid crystal which is an example of electrooptic material. These results, the poor display of the fall of a contrast ratio is caused, and there is a problem of falling image quality grace sharply.

[0006] It is this invention's being made in view of an above-mentioned trouble, being able to raise a pixel numerical aperture, and reducing the irregularity of the front face of the orientation film in near a pixel electrode moreover, and let it be a technical problem to offer the electro-optic device in which high-definition image display is possible.

[0007]

[Means for Solving the Problem] (1) The thin film transistor prepared on the substrate in order that the electro-optic device of this invention might solve the above-mentioned technical problem, The pixel electrode electrically connected to the drain field of the semi-conductor layer of said thin film transistor, Two or more wiring prepared through the insulator layer between the semi-conductor layer of said thin film transistor, and said pixel electrode, With the middle conductive layer which makes the electrical installation of the drain field of the semi-conductor layer of said thin film transistor, and said pixel electrode, among said two or more wiring under at least one field of wiring It is characterized by having the 1st contact hole which connects electrically the drain field and said middle conductive layer of a semi-conductor layer of said thin film transistor.

[0008] According to the electro-optic device of this invention, it becomes possible [the drain field and pixel electrode of a semi-conductor layer], even if the thickness among both is large, since it connects electrically through the middle conductive layer to connect between both good by two contact holes of a minor diameter comparatively. And the field which forms each contact hole is made small respectively, and can raise a pixel numerical aperture.

[0009] Moreover, since the 1st contact hole is punctured under at least one field of wiring, irregularity is not generated to the opening field of each pixel by existence of the 1st contact hole. It also becomes possible for this to become possible to carry out rubbing processing in near a pixel electrode to homogeneity, and to equalize the thickness of electrooptic materials. Consequently, malfunctions, such as poor orientation in electrooptic material, such as liquid crystal, can be reduced.

[0010] As mentioned above, according to the electro-optic device of this invention, a pixel numerical aperture can be raised and the degradation of the display image by moreover irregular irregularity arising on the front face of the orientation film in near a pixel electrode can be reduced. These results, it is bright, and a contrast ratio is high and the high-definition image display of it becomes possible.

[0011] (2) In the mode of 1 of the electro-optic device of this invention, the path of said 1st contact hole is characterized by being smaller than the path of the 2nd contact hole which connects electrically said middle conductive layer and said pixel electrode.

[0012] According to this mode, it becomes the prevention through which etching at the time of puncturing of the 2nd contact hole runs by the middle conductive layer. Moreover, it becomes possible by making the path of the 1st contact hole smaller than the path of the 2nd contact hole to narrow a non-pixel opening field.

[0013] (3) In other modes of the electro-optic device of this invention, among said two or more wiring, at least one wiring becomes with the data line electrically connected to the source field of the semi-conductor layer of said thin film transistor, and is characterized by locating said 1st contact hole under the field of said data line.

[0014] According to this mode, since the 1st contact hole can be arranged to a non-pixel opening field, the irregularity produced on the front face of the orientation film can be reduced.

[0015] (4) Moreover, as for said 1st contact hole, in other modes, it is desirable to be arranged in near where said data line and said scanning line cross.

[0016] Since it has arranged to near where the data line and the scanning line cross according to this



configuration, in a comparatively large field, the irregularity produced on the front face of the orientation film can be reduced, it becomes possible to carry out rubbing processing in near a pixel electrode to homogeneity, and the poor orientation of a liquid crystal layer can be reduced.

[0017] (5) Moreover, in other modes, it is desirable for nothing and said middle conductive layer to extend the scanning line arranged by at least one wiring crossing to said data line among said two or more wiring along with said scanning line from the field of said data line.

[0018] Since it can form in the field which met the data line and the scanning line in the location of the 1st contact hole and the 2nd contact hole since the middle conductive layer extended along with the scanning line from the field of the data line according to this configuration, it can contribute to detailed-ization of a pixel pitch.

[0019] (6) It is desirable to prepare the 2nd contact hole which connects electrically said middle conductive layer and said pixel electrode to the extension section arranged along with said scanning line of said middle conductive layer further.

[0020] The irregularity produced on the front face of the orientation film can be reduced, reducing that the non-pixel opening field near the scanning line spreads, since the 2nd contact hole [ minor diameter / contact hole / which connects a conventional drain field and a conventional pixel electrode ] is arranged in the extension section which met the scanning line according to this configuration.

[0021] (7) Said 2nd contact hole has the still more desirable thing between the data lines which adjoin each other mostly located in the center.

[0022] According to this configuration, the bad influence by the irregularity of the orientation film on the 2nd contact hole is made to bilateral symmetry for every pixel, and the poor display of each pixel at the time of seeing all pixels macroscopically can be equalized.

[0023] (8) Moreover, in other modes, said middle conductive layer is characterized by extending along with said data line.

[0024] According to this configuration, the field of the 1st contact hole can be covered by the middle conductive layer, without extending a non-pixel opening field under the data line.

[0025] (9) In other modes of the electro-optic device of this invention, at least one wiring becomes parallel among said two or more wiring by the capacity line which extends under said middle conductive layer, and it is characterized by for said capacity line having avoided the field of said 1st contact hole, and having extended.

[0026] According to this mode, a capacity line can reduce the irregularity produced on the front face of the orientation film, securing capacity area, since the field of the 1st contact hole [ minor diameter / contact hole / which connects a conventional drain field and a conventional pixel electrode ] was avoided and it has extended.

[0027] (10) In other modes of the electro-optic device of this invention, the depth of said 1st contact hole is characterized by being shallower than the depth of the 2nd contact hole of said middle conductive layer and said pixel electrode.

[0028] According to this mode, the irregularity produced on the front face of the orientation film can be reduced in the field of the 1st contact hole.

[0029] (11) In other modes of the electro-optic device of this invention, said middle conductive layer is characterized by carrying out opposite arrangement partially at least through the capacity electrode and interlayer insulation film which consist of the same film as said scanning line.

[0030] According to this mode, since opposite arrangement is carried out through the capacity electrode which consists of the same film as the scanning line, and the interlayer insulation film, a middle conductive layer can add the storage capacitance connected to the pixel electrode. That is, since storage capacitance can be built in three dimensions not only to the capacity electrode bottom but to the capacity electrode up side, the limited protection-from-light field can be used effectively and storage capacitance can be increased.

[0031] (12) Said 2nd contact hole may consist of other modes as punctured by the location which sees

superficially and laps with said capacity electrode.

[0032] Since according to this configuration the middle conductive layer part in the flat-surface location where the 2nd contact hole was punctured has also lapped on the capacity electrode, namely, opposite arrangement is carried out through the insulator layer at the capacity electrode, storage capacitance can be built also to the plane region where the 2nd contact hole was punctured.

[0033] (13) In other modes, it had the part prolonged along with said data line from the part which intersects the part which looks at said capacity electrode superficially and is prolonged along with said scanning line, and said data line, and said middle conductive layer is put through the interlayer insulation film on said some of capacity electrodes [ at least ].

[0034] According to this configuration, in the protection-from-light field which met the data line, opposite arrangement of the electrode and capacity electrode which were installed from the drain field of a semi-conductor layer can be carried out, and opposite arrangement of this capacity electrode and the middle conductive layer can be carried out. Therefore, three-dimensional storage capacitance can be built also to the protection-from-light field which met the data line.

[0035] (14) In other modes of the electro-optic device of this invention, said middle conductive layer is characterized by consisting of electric conduction film of protection-from-light nature.

[0036] According to this mode, the middle conductive layer which consists of electric conduction film of protection-from-light nature enables it to shade the channel field and its adjoining field of a thin film transistor. That is, if light generally carries out incidence to the channel field or its adjoining field of the semi-conductor layer which constitutes a thin film transistor, the leakage current by optical pumping will occur. Thereby, the property in the OFF-state of the thin film transistor concerned changes. On the other hand, according to this invention, change of the transistor characteristics by such optical incidence can be prevented using a middle conductive layer.

[0037] (15) Said middle conductive layer may consist of other modes so that said a part of protection-from-light field may be specified.

[0038] According to this configuration, while was formed, for example, for the pixel electrode etc., and, in order to form the light-shielding film for specifying a protection-from-light field to the opposite substrate which is a substrate of another side by which opposite arrangement is carried out at a substrate or to specify a protection-from-light field, it can eliminate partially spreading the width of face of the data line, and forming, or forming separately the built-in light-shielding film for a protection-from-light field convention in one substrate at least. That is, only the part from which the light-shielding film for specifying a protection-from-light field etc. becomes unnecessary partially at least does not cause the permeability fall of the electro-optic device by the alignment gap at the time of the lamination of one substrate and the substrate of another side. Thereby, the defect of an electro-optic device can be reduced sharply.

[0039] (16) Further, said middle conductive layer may be constituted as said a part of protection-from-light field of the direction which met said data line is specified including the part which sees superficially and is prolonged along with said data line.

[0040] According to this configuration, about the part as which the protection-from-light field is specified by the middle conductive layer along with the data line, it can eliminate forming the light-shielding film for specifying a protection-from-light field to an opposite substrate, or spreading the width of face of the data line, in order to specify a protection-from-light field, forming, or forming a built-in light-shielding film separately. Thereby, permeability dispersion of an electro-optic device can be reduced sharply.

[0041] (17) Further, said capacity electrode has the part which sees superficially and is prolonged along with said data line, and in the part which met said data line, between the width of face  $W_d$  of said data line, the width of face  $W_c$  of said capacity electrode, and the width of face  $W_m$  of the middle conductive layer part prolonged along with said data line, it may constitute it, respectively so that the relation it is unrelated  $W_d < W_c < W_m$  may be materialized.

[0042] According to this configuration, to the incident light from an opposite substrate side, protection from light of a duplex is attained by the data line and the middle conductive layer among the substrates of a pair. Although priority is given to that wiring resistance is low as an ingredient of the data line which generally supplies a picture signal here and aluminum (aluminum) film is used, while it is a light-shielding film in the case of aluminum film, it is the high reflective film of a reflection factor very much. Therefore, when a thin film transistor is shaded only with the data line which consists of aluminum film, it is reflected by the inside (namely, near front face facing a thin film transistor) of the data line, and the incident light and return light which inclined to the substrate side start a multiple echo within a laminated structure, and cause the problem finally kept very much in a channel field or its adjoining field. However, if constituted like this invention, it will become possible to adopt the configuration which decreases the multiple echo light by the internal reflection like \*\*\*\* by forming the middle conductive layer prepared in the bottom of the data line from the refractory metal film and polish recon film of low reflection. On the other hand, still bigger storage capacitance can be built by the capacity electrode broader than the data line and the middle conductive layer.

[0043] (18) It may see still more nearly superficially, and a part for the edge which met said data line in said pixel electrode may be constituted as put on a part for the edge of said middle conductive layer.

[0044] Thus, if constituted, data-line width of face can be formed thinly. Thereby, parasitic capacitance between the data line and a pixel electrode can be made small as much as possible. Thereby, a poor display, such as a fall of a contrast ratio, and a cross talk, a ghost, can be reduced notably.

[0045] (19) In other modes of the electro-optic device of this invention, said semi-conductor layer is characterized by being formed in the bottom of the field of said data line.

[0046] While securing the field which connects a semi-conductor layer and a pixel electrode electrically, according to this configuration, the non-opening field which meets the scanning line is made to a \*\* pitch.

[0047] (20) Said 1st contact hole is further characterized by being formed in the 3rd contact hole which connects the source field and said data line of said semi-conductor layer, and the location which becomes symmetrical to the channel field of said semi-conductor layer.

[0048] According to this configuration, the level difference configuration by the multilayer interconnection can be made into bilateral symmetry to the data line; and the difference of the optical transmission by the hand of cut of liquid crystal can be abolished.

[0049] (21) The 2nd contact hole which connects electrically said middle conductive layer and said pixel electrode is characterized by being located in the field which looked at superficially and said lower light-shielding film jutted out of said scanning line by having the lower light-shielding film which said semi-conductor layer looked at superficially caudad, and was further jutted out of said scanning line.

[0050] Since a semi-conductor layer is not formed along with the scanning line, while making into a \*\* pitch the non-opening field which meets the scanning line according to this configuration, a middle conductive layer and a pixel electrode are electrically connectable.

[0051] (22) The thin film transistor by which other electro-optic devices of this invention were formed on the substrate, The data line electrically connected to the source field of the semi-conductor layer of said thin film transistor, The pixel electrode electrically connected to the drain field of the semi-conductor layer of said thin film transistor, The middle conductive layer of the protection-from-light nature which makes the electrical installation of the drain field of the semi-conductor layer of said thin film transistor, and said pixel electrode, Under the capacity line which is formed along with said data line and located in the drain field of the semi-conductor layer of said thin film transistor, the light-shielding film formed by the same film as said middle conductive layer, and the field of said data line It is characterized by having the contact hole which connects electrically said capacity line and said light-shielding film.

[0052] According to this mode, the irregularity produced on the front face of the orientation film can be reduced in the field of this contact hole by covering the contact hole which connects a light-shielding

film and a capacity line with the data line. Moreover, a light-shielding film can be formed as a capacity electrode, and capacity can be increased.

[0053] Such an operation and other gains of this invention are made clear from the gestalt of the operation explained below.

[0054]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained based on a drawing.

[0055] (The 1st operation gestalt) The configuration of the liquid crystal equipment which is the 1st operation gestalt of the electro-optic device by this invention is explained with reference to drawing 4 from drawing 1. Drawing 1 is equal circuits, such as various components in two or more pixels formed in the shape of [ which constitutes the image display field of an electro-optic device ] a matrix, and wiring, drawing 2 R> 2 is a top view of two or more pixel groups where the TFT array substrate with which the data line, the scanning line, a pixel electrode, etc. were formed adjoins each other, and drawing 3 is the A-A' sectional view of drawing 2. In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 3. Moreover, drawing 4 is the top view expanding and showing a part of capacity line which shows the flat-surface pattern. ( drawing 4 (a)) of the capacity line in this operation gestalt, and the scanning line as compared with the flat-surface pattern. ( drawing 4 (b)). in the example of a comparison, and scanning line.

[0056] In drawing 1, TFT30 for two or more pixels formed in the shape of [ which constitutes the image display field of the electro-optic device in this operation gestalt ] a matrix to control pixel electrode 9a is formed, and data-line 6a to which a picture signal is supplied is electrically connected to the source concerned of TFT30. The picture signals S1, S2, ..., Sn written in data-line 6a may be supplied to line sequential, and you may make it supply them to this order for every group to two or more data-line 6a which adjoin each other. Moreover, it is constituted so that scanning-line 3a is electrically connected to the gate of TFT30, and it may be impressed by scanning-line 3a to predetermined timing and it may impress the scan signals G1, G2, ..., Gm to this order by line sequential. It connects with the drain of TFT30 electrically, and pixel electrode 9a writes in the picture signals S1, S2, ..., Sn supplied from data-line 6a in TFT30 which is a switching element when only a fixed period closes the switch to predetermined timing. Fixed period maintenance of the picture signals S1, S2, ..., Sn of the predetermined level written in liquid crystal through pixel electrode 9a is carried out between the counterelectrodes (it mentions later) formed in the opposite substrate (it mentions later). When the orientation and order of molecular association change with the voltage levels impressed, liquid crystal modulates light and enables a gradation display. According to the electrical potential difference impressed when it was in no MARI White mode, the amount of transmitted lights of incident light decreases, if it is in-NOMA reeve rack mode, according to the impressed electrical potential difference, the amount of transmitted lights of incident light will increase, and light with the contrast ratio according to a picture signal will carry out outgoing radiation from an electro-optic device as a whole. Here, in order to prevent the held picture signal leaking, storage capacitance 70 is added to the liquid crystal capacity and juxtaposition which are formed between pixel electrode 9a and a counterelectrode through a dielectric film between the capacity electrode electrically connected with pixel electrode 9a, and the capacity electrode which is a part of capacity line 3b. For example, as for the electrical potential difference of pixel electrode 9a, only time amount also with triple figures longer than the time amount to which the source electrical potential difference was impressed is held with storage capacitance 70. Thereby, it is improved further and a maintenance property can realize the high electro-optic device of a contrast ratio.

[0057] In drawing 2, on the TFT array substrate of an electro-optic device, two or more transparent pixel electrode 9a (the profile is shown by dotted-line section 9a') is prepared in the shape of a matrix, and data-line 6a, scanning-line 3a, and capacity line 3b are prepared respectively along the boundary of

pixel electrode 9a in every direction. Pixel electrode 9a relays the 1st middle conductive layer 80 which constitutes an example of a middle conductive layer, and is electrically connected to the below-mentioned drain field among semi-conductor layer 1a through 1st contact hole 8a and 2nd contact hole 8b. Data-line 6a is electrically connected to the below-mentioned source field among semi-conductor layer 1a which consists of polysilicon film etc. through the 3rd contact hole 5. Moreover, scanning-line 3a is arranged so that channel field 1a' (field of the slash of drawing Nakamichi going down) may be countered among semi-conductor layer 1a, and scanning-line 3a functions as a gate electrode. In the crossing part of scanning-line 3a and data-line 6a, thus, respectively Capacity line 3b by which TFT30 by which opposite arrangement of the scanning-line 3a was carried out as a gate electrode is formed in channel field 1a'. It consists of the same film as scanning-line 3a, and has the part prolonged to near the 3rd contact hole 5 relevant to the pixel which adjoins along with data-line 6a from the part mostly prolonged in the shape of a straight line in parallel to scanning-line 3a, and the part which intersects data-line 6a.

[0058] In drawing 2, the field shown by the thick wire in drawing is 1st light-shielding film 11a, and this 1st light-shielding film 11a is arranged at least at the semi-conductor layer 1a bottom of TFT30. In drawing 2, while 1st light-shielding film 11a is formed in the shape of stripes along with scanning-line 3a, the part which intersects data-line 6a is broadly formed in the method of drawing Nakashita, and it looks like that channel field 1a' and its adjoining field of each TFT from a TFT array substrate side by this broad part, and is more specifically prepared in the wrap location, respectively. In addition, as shown in this operation gestalt, 1st light-shielding film 11a may install the lower part of the scanning-line 3a concerned in the direction in alignment with scanning-line 3a in the shape of stripes, may form it in it, may install the lower part of the data-line 6a concerned in the direction in alignment with data-line 6a in the shape of stripes, and may form it in it. Or along with scanning-line 3a and data-line 6a, each lower part may be installed in the shape of a grid, and may be formed. Moreover, 1st light-shielding film 11a is good to make it connect with the optimal constant potential electrically among constant sources of potential, such as a negative supply supplied to circumference circuits, such as a scanning-line drive circuit, a circuit for pixel electrode 9a to be installed in the outside of the imager display field by which two or more more information was carried out by the shape of a matrix, and drive an electro-optic device, and a data-line drive circuit, and a positive supply, a touch-down power source, and the constant source of potential supplied to a counter electrode. Thus, malfunction of TFT30 can be prevented by fixing 1st light-shielding film 11a to constant potential.

[0059] Especially with this operation gestalt, 1st contact hole 8a which connects electrically drain field 1e and the 1st middle conductive layer 80 is prepared in the bottom of data-line 6a, and 2nd contact hole 8b which connects electrically the 1st middle conductive layer 80 and pixel electrode 9a is prepared on capacity line 3b in near the center between data-line 6a which adjoin each other. Moreover, along with data-line 6a, the 2nd middle conductive layer 180 of the shape of an island which consists of the same film as the 1st middle conductive layer 80 is formed. The 2nd middle conductive layer 180 is put on the part prolonged along with data-line 6a in capacity line 3b, and the 2nd middle conductive layer 180 and capacity line 3b are mutually connected electrically by contact hole 18a prepared in the bottom of data-line 6a. Moreover, capacity line 3b is the protection-from-light field which intersects data-line 6a in the field under data-line 6a in which 1st contact hole 8a was formed, and it is narrow and it is formed so that 1st contact hole 8a may be avoided, and it is constituted so that capacity line 3b may not have 1st contact hole 8a and electric contact.

[0060] Moreover, as shown in the sectional view of drawing 2 and drawing 3, channel field 1a' is arranged corresponding to the crossover field of scanning-line 3a and data-line 6a. Moreover, 1d of high concentration source fields which consist of semi-conductor layer 1a, low concentration source field 1b, channel field 1a', low concentration drain field 1c, and high concentration drain field 1e are arranged so that it may lap with data-line 6a, and it may moreover be covered with the data line. Furthermore, low concentration drain field 1c and high concentration drain field 1e are arranged under the data-line 6a of

1d of high concentration source fields, low concentration source field 1b, channel field 1a', and data-line 6a to which low concentration drain field 1c and high concentration drain field 1e extend in one side on both sides of scanning-line 3a which 1d of high concentration source fields and low concentration source field 1b are arranged caudad, and is prolonged in the other side. Furthermore, high concentration drain field 1e is electrically connected to the 1st middle conductive layer 80 through 1st contact hole 8a, the 1st middle conductive layer 80 is connected to pixel electrode 9a through 2nd contact hole 8b, and 1d of high concentration source fields is electrically connected to data-line 6a through the 3rd contact hole 5. Thus, since 1st contact hole 8a and the 3rd contact hole 5 are formed so that it may lap with data-line 6a used as a non-display field, decline in the numerical aperture by the contact hole can be prevented. Moreover, existence of a contact hole can protect generating of irregular irregularity to the opening field of each pixel. Furthermore, since the semi-conductor layer is arranged so that it may lap with data-line 6a, the data line can function as a light-shielding film, and it can prevent invasion of the light to a semi-conductor layer.

[0061] Next, as shown in the sectional view of drawing 3, the electro-optic device is equipped with the transparent TFT array substrate 10 which constitutes an example of a substrate, and the transparent opposite substrate 20 by which opposite arrangement is carried out at this. The TFT array substrate 10 consists of for example, a quartz substrate, a glass substrate, or a silicon substrate, and the opposite substrate 20 consists of a glass substrate or a quartz substrate. Pixel electrode 9a is prepared in the TFT array substrate 10, and the orientation film 16 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. Pixel electrode 9a consists of transparent conductive film, such as for example, ITO (Indium Tin Oxide) film. Moreover, the orientation film 16 consists of organic film, such as for example, polyimide film.

[0062] On the other hand, it crosses to the opposite substrate 20 all over the, the counterelectrode 21 is formed, and the orientation film 22 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. A counterelectrode 21 consists of transparent conductive film, such as for example, ITO film. Moreover, the orientation film 22 consists of organic film, such as polyimide film.

[0063] TFT 30 for pixel switching which carries out switching control of each pixel electrode 9a is formed in the location which adjoins each pixel electrode 9a at the TFT array substrate 10.

[0064] As further shown in the opposite substrate 20 at drawing 3, the 2nd light-shielding film 23 is formed in the protection-from-light field of each pixel. after -- explaining in full detail -- as -- this -- the -- two -- a light-shielding film -- 23 -- a grade -- opposite -- a substrate -- 20 -- a side -- from -- incident light -- a pixel -- switching -- \*\* -- TFT -- 30 -- a semi-conductor -- a layer -- one -- a -- a channel -- a field -- one -- a -- ' -- low concentration -- the source -- a field -- one -- b -- and -- low concentration -- a drain -- a field -- one -- c -- containing -- a channel -- a field -- one -- a -- ' -- contiguity -- a field -- invading -- things -- there is nothing . Furthermore, the 2nd light-shielding film 23 has functions, such as color mixture prevention of the color material at the time of forming improvement in a contrast ratio, and a color filter.

[0065] Thus, it is constituted, and between the TFT array substrates 10 and the opposite substrates 20 which have been arranged so that pixel electrode 9a and a counterelectrode 21 may meet, the liquid crystal which is an example of electrooptic material is enclosed with the space surrounded by the below-mentioned sealant, and the liquid crystal layer 50 is formed. The liquid crystal layer 50 takes a predetermined orientation condition with the orientation film 16 and 22 in the condition that the electric field from pixel electrode 9a are not impressed. The liquid crystal layer 50 consists of liquid crystal which mixed the pneumatic liquid crystal of a kind or some kinds. It is the adhesives which consist of a photo-setting resin or thermosetting resin in order that a sealant may stick the TFT array substrate 10 and the opposite substrate 20 around those, and gap material, such as glass fiber for making distance between both substrates into a predetermined value or a glass bead, is mixed.

[0066] Furthermore, as shown in drawing 3, in the location which counters TFT 30 for pixel switching



respectively, 1st light-shielding film 11a is prepared between the TFT array substrate 10 and each TFT30 for pixel switching. 1st light-shielding film 11a consists of a metal simple substance which contains [ at least one ] Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), Pb (lead), etc. which are a desirable opaque refractory metal, an alloy, metal silicide, etc. If constituted from such an ingredient, 1st light-shielding film 11a is destroyed by high temperature processing in the formation process of TFT30 for pixel switching, or it can avoid fusing by it. Since 1st light-shielding film 11a is formed, the situation which carries out incidence to channel field 1a' of TFT30 for pixel switching which the reflected light from the TFT array substrate 10 side etc. tends to excite to light, low concentration source field 1b, and low concentration drain field 1c can be prevented, and the property of TFT30 for pixel switching does not change with generating of the leakage current resulting from light. [0067] Furthermore, the substrate insulator layer 12 is formed between 1st light-shielding film 11a and two or more TFT30 for pixel switching. The substrate insulator layer 12 is formed in order to insulate electrically semi-conductor layer 1a which constitutes TFT30 for pixel switching from 1st light-shielding film 11a. Furthermore, the substrate insulator layer 12 also has a function as substrate film for TFT30 for pixel switching by being formed all over the TFT array substrate 10. That is, it has the function to prevent degradation of the property of TFT30 for pixel switching with the dry area at the time of polish of TFT array substrate 10 front face, the dirt which remains after washing. The substrate insulator layer 12 consists of high insulation glass, such as NSG (non-doped silicate glass), PSG (phosphorus silicate glass), BSG (boron silicate glass), and BPSG (boron phosphorus silicate glass), or silicon oxide film, a silicon nitride film, etc. The substrate insulator layer 12 can also protect the situation where 1st light-shielding film 11a pollutes the TFT30 grade for pixel switching. [0068] As shown in drawing 2 and drawing 3, in the bottom, to the 1f of the 1st capacity electrode which it comes to install from drain field 1e of semi-conductor layer 1a, opposite arrangement is carried out through the insulating thin film 2, and capacity line 3b which consists of the same conductive polish recon film as scanning-line 3a has the part which is functioning as the 2nd capacity electrode. The bigger storage capacitance 70 can be formed using the insulating thin film 2 which contains by this the gate insulating dielectric film which constitutes TFT30. Furthermore, in the top opposite arrangement of a part of the 1st capacity line 3b is carried out through the 1st interlayer insulation film 81 to a part of 1st middle conductive layer 80. The still bigger storage capacitance 70 can be formed by thin-film-izing this 1st interlayer insulation film 81. Thus, since storage capacitance 70 can be built in three dimensions not only to the capacity line 3b bottom but to the capacity line 3b up side, the limited protection-from-light field is used effectively and storage capacitance 70 can be increased. [0069] In addition, although the 2nd capacity electrode which consists of the same film as scanning-line 3b is installed and capacity line 3b is formed with this operation gestalt, since wiring of dedication is not needed, it causes the increase of a process and is advantageous according to this mode. When capacity line 3b cannot be formed by the same film as scanning-line 3b, the 2nd capacity electrode may be formed in the shape of an island for every pixel, and you may substitute for example, for 1st light-shielding film 11a which supplies constant potential to this as wiring for storage capacitance formation. In this case, it is good to connect the 2nd capacity electrode with 1st light-shielding film 11a electrically for every pixel. In the 2nd capacity electrode, since the optimal constant potential is supplied among constant sources of potential, such as a negative supply supplied to the circumference circuits (for example, a scanning-line drive circuit, a data-line drive circuit, etc.) for driving an electro-optic device, and a positive supply, the touch-down power source, and the constant source of potential supplied to a counterelectrode, the storage capacitance 70 stabilized between the 1f of the 1st capacity electrodes and the middle conductive layer 80 can be built. [0070] Especially with this operation gestalt, as shown in drawing 2 and drawing 3, 1st contact hole 8a is punctured by the location which sees superficially and laps with data-line 6a. Therefore, even if 1st contact hole 8a which connects semi-conductor layer 1a located in conductive polish recon film bottom and bottom which constitutes scanning-line 3a and capacity line 3b, respectively, and the 1st middle

conductive layer 80 exists, avoiding and wiring becomes easy in 1st contact hole 8a about scanning-line 3a or capacity line 3b using the protection-from-light field which spreads along with data-line 6a. This situation is expanded to drawing 4 (a), and is shown.

[0071] Like the example of a comparison temporarily shown in drawing 4 (b), when puncturing 1st contact hole 8a' to the field which the scanning-line 3a' part which has not lapped with data-line 6a', and the capacity line 3b' part were located in a line, and has been arranged, it will be necessary to narrow capacity line 3b' and scanning-line 3a' around 1st contact hole 8a' so that 1st contact hole 8a' may be avoided. However, if a constriction part is large, the wiring width of face of capacity line 3b' or scanning-line 3a' will become narrow locally, and wiring resistance will become large. This will generate a poor display, such as signal delay and a cross talk. For this reason, width-of-face W' of the protection-from-light field of the direction of scanning-line 3a' becomes larger than the width of face W of the protection-from-light field of the direction of scanning-line 3a in this operation gestalt shown in drawing 4 (a) (namely,  $W' > W$ ). That is, as compared with the example of a comparison, the width of face W of the protection-from-light field of the direction of scanning-line 3a becomes possible [ that only the part which is narrow and ends extends the opening field of each pixel ] with this operation gestalt.

[0072] Moreover, it becomes possible to reduce the irregular irregularity which originates in existence of capacity line 3b wired by preparing 1st contact hole 8a by avoiding existence of the 1st contact hole 8a concerned and this by the intersection of the protection-from-light field of the direction of data-line 6a and the protection-from-light field of the direction of scanning-line 3a as shown in drawing 4 (a), and is produced in those upper parts (front face of the orientation film 16). Moreover, it has estranged from the opening field of a pixel. For this reason, the effect of the irregular irregularity produced by puncturing 1st contact hole 8a can be reduced efficiently. Thus, if the irregularity of orientation film 16 front face in near pixel electrode 9a is reduced, it becomes possible to carry out rubbing processing in near pixel electrode 9a to homogeneity, and the thickness of the liquid crystal layer 50 can be equalized. Consequently, the poor orientation of the liquid crystal layer 50 can be reduced.

[0073] Furthermore, only a part without the constriction for avoiding 1st contact hole 8a can make the part prolonged along with scanning-line 3a of capacity line 3b increase the area of the 2nd capacity electrode by which opposite arrangement is carried out to the 1f of the 1st capacity electrodes, and can increase into it the storage capacitance 70 which can be built by this 2nd capacity electrode and the 1f of the 1st capacity electrodes again.

[0074] moreover, between two data-lines 6a which adjoin each other among the protection-from-light fields of each pixel which looked at 2nd contact hole 8b superficially, and met scanning-line 3a as this operation gestalt showed to drawing 2 -- it is mostly punctured in the center. for this reason, the protection-from-light field which met one side of the opening field of each pixel in the irregularity of the orientation film 16 on 2nd contact hole 8b -- it can be made to arrange near a center mostly. Thereby, the bad influence by the irregularity of orientation film 16 front face on 2nd contact hole 8b is made to bilateral symmetry for every pixel, and the poor display of each pixel at the time of seeing all pixels macroscopically can be equalized.

[0075] Thus, with this operation gestalt, if the degree of freedom about the puncturing location of 2nd contact hole 8b is a field which is high and has not lapped with data-line 6a on the 1st middle conductive layer 80, it can puncture 2nd contact hole 8b in the location of arbitration.

[0076] For this reason, by puncturing 2nd contact hole 8b with this operation gestalt in the location which laps with capacity line 3b, storage capacitance 70 can be built also to the plane region where 2nd contact hole 8b was punctured, and it is advantageous to it.

[0077] In addition, since the insulating thin film 2 as a dielectric film of one in storage capacitance 70 is exactly gate dielectric film of TFT30 formed on the polish recon film of high temperature oxidation etc., it can be made into the thin insulator layer of high pressure-proofing, and the 1st interlayer insulation film 81 as other dielectric films can be thinly formed like the insulating thin film 2. Therefore, the storage capacitance 70 mass in a still smaller field can be built by constituting these dielectric films thinly.

[0078] As mentioned above, according to the electro-optic device of this operation gestalt, while raising a pixel numerical aperture, storage capacitance 70 can be increased, and the degradation of the display image by moreover irregular irregularity arising on the front face of the orientation film 16 in near pixel electrode 9a can be reduced. The high-definition image display by which a poor display, such as a flicker, a ghost, and a cross talk, was reduced becomes it is bright, and a contrast ratio is high, and possible these results.

[0079] It sets to drawing 3 again. TFT30 for pixel switching It has LDD (Lighty Doped Drain) structure. Channel field 1a' of semi-conductor layer 1a in which a channel is formed of the electric field from scanning-line 3a and concerned scanning-line 3a, 1d list of high concentration source fields of low concentration source field 1b of the insulating thin film 2 and data-line 6a which insulate scanning-line 3a and semi-conductor layer 1a, and semi-conductor layer 1a and low concentration drain field 1c, and semi-conductor layer 1a is equipped with high concentration drain field 1e. One to which it corresponds of two or more pixel electrode 9a relays the 1st middle conductive layer 80 to high concentration drain field 1e, and it is connected to it. this operation gestalt -- especially -- data-line 6a -- aluminum etc. -- low -- it consists of protection-from-light nature and conductive thin films, such as metal membrane, metallurgy group silicide [ \*\*\*\* ], [ , such as alloy film, ]

[0080] 1st contact hole 8a which leads to the 3rd contact hole 5 and high concentration drain field 1e which lead to 1d of high concentration source fields is respectively formed in the 1st interlayer insulation film 81 prepared on scanning-line 3a and capacity line 3b.

[0081] On the 1st interlayer insulation film 81, the 1st middle conductive layer 80 connected to high concentration drain field 1e through 1st contact hole 8a and the 2nd middle conductive layer 180 connected with capacity line 3b through contact hole 18a are formed.

[0082] The 2nd interlayer insulation film 4 is formed on the 1st middle conductive layer 80. Data-line 6a is formed on the 2nd interlayer insulation film 4, and data-line 6a is electrically connected to 1d of high concentration drain fields through the 3rd contact hole 5 punctured by the 2nd interlayer insulation film 4.

[0083] Furthermore on data-line 6a and the 2nd interlayer insulation film 4, the 3rd interlayer insulation film 7 with which 2nd contact hole 8b to the 1st middle conductive layer 80 was formed is formed. Pixel electrode 9a is electrically connected to the 1st middle conductive layer 80 through 2nd contact hole 8b. Pixel electrode 9a is prepared in the top face of the 3rd interlayer insulation film 7 constituted in this way.

[0084] Although TFT30 for pixel switching has LDD structure as mentioned above preferably, it may be TFT of the self aryne mold which may have the offset structure which does not drive an impurity into low concentration source field 1b and low concentration drain field 1c, drives in an impurity by high concentration by using as a mask the gate electrode which is a part of scanning-line 3a, and forms 1d of high concentration source fields, and high concentration drain field 1e in self align.

[0085] Moreover, although considered as the single gate structure which has arranged one gate electrode which consists of a part of scanning-line 3a of TFT30 for pixel switching among 1d [ of high concentration source fields ], and high concentration drain field 1e with this operation gestalt, two or more gate electrodes may be arranged among these. Thus, if TFT is constituted above the dual gate or the triple gate, the leakage current of a channel, the source, and a drain field joint can be prevented, and the current at the time of OFF can be reduced. If at least one of these gate electrodes is made into LDD structure or offset structure, the OFF state current can be reduced further and the stable switching element can be obtained.

[0086] Next, the 1st middle conductive layer 80 is explained further.

[0087] As shown in drawing 2 and drawing 3 , the 1st middle conductive layer 80 intervenes between semi-conductor layer 1a and pixel electrode 9a, and connects electrically high concentration drain field 1e and pixel electrode 9a via 1st contact hole 8a and 2nd contact hole 8b.

[0088] For this reason, as compared with the case where one contact hole is punctured, the path of 1st

contact hole 8a and 2nd contact hole 8b can be made small, respectively from pixel electrode 9a to semi-conductor layer 1a. That is, etching precision must stop the dry etching which can make the path of a contact hole small on the way, and when puncturing one contact hole, in order to fall (for example, in order to prevent the thrust omission in about 50nm very thin semi-conductor layer 1a), it must construct a process so that it may finally puncture to semi-conductor layer 1a by wet etching, so that a contact hole will be punctured deeply, if the selection ratio at the time of etching is low. Or it will be necessary to be based on dry etching, to run and to prepare the film for prevention separately.

[0089] On the other hand, with this operation gestalt, since what is necessary is just to connect pixel electrode 9a and high concentration drain field 1e by two in-series 1st contact hole the 8a and 2nd contact hole 8b, it becomes possible to puncture these 1st contact hole 8a and 2nd contact hole 8b by dry etching, respectively. Or it becomes possible to shorten distance punctured by wet etching at least. However, in order to attach some taper to 1st contact hole 8a and 2nd contact hole 8b, respectively, it may dare to be made to perform wet etching after dry etching. Since the hollow and irregularity which the path of 1st contact hole 8a and 2nd contact hole 8b can be made small, respectively, and are formed in the front face of the 1st middle conductive layer 80 in 1st contact hole 8a are also small and end according to this operation gestalt as mentioned above, flattening in the part of pixel electrode 9a located in the upper part is promoted. Furthermore, since the hollow and irregularity which are formed in the front face of pixel electrode 9a in 2nd contact hole 8b are also small and end flattening in the part of this pixel electrode 9a is promoted. Furthermore, with this operation gestalt, the path of 2nd contact hole 8b can be made still smaller by forming the 1st interlayer insulation film 81 thinly in this way.

[0090] The metal simple substance which contains [at least one] Ti, Cr, W, Ta, Mo, Pb, etc. which are an opaque refractory metal, for example like 1st light-shielding film 11a as a concrete ingredient of the 1st middle conductive layer 80, an alloy, metal silicide, etc. are mentioned. Since a refractory metal will not corrode even if a refractory metal and the ITO film which constitutes pixel electrode 9a contact if constituted from these, connection electric good can be taken through 2nd contact hole 8b among 1st middle conductive layer 80 and pixel electrode 9a. However, the 1st middle conductive layer 80 may also consist of conductive polish recon film. Even in this case, the function to which storage capacitance is made to increase, and a junction function can fully be demonstrated. In this case, since it is especially hard coming to generate the stress by heat etc. between the 1st interlayer insulation film 81, it is useful to crack prevention.

[0091] Moreover, as for the thickness of the 1st middle conductive layer 80, it is desirable to consider for example, as 50nm or more 500nm or less extent. or [that possibility of running at the time of puncturing of 2nd contact hole 8b in a manufacture process if the thickness of the 1st middle conductive layer 80 is about 50nm becomes low, and the irregularity of the front face of pixel electrode 9a will not pose a problem if it is about 500nm] -- or it is because flattening is comparatively easily possible. However, if constituted from refractory metal film or its alloy film, since the selection ratios in etching with a metal membrane and an interlayer insulation film differ greatly, the 1st middle conductive layer 80 does not have most possibility by the dry etching like the above-mentioned of running.

[0092] In addition to the above, especially with this operation gestalt, the 1st middle conductive layer 80 and the 2nd middle conductive layer 180 consist of refractory metal film which is electric conduction film of protection-from-light nature. Therefore, channel field 1a' of TFT30 and its adjoining field can be shaded not only by data-line 6a but by the 1st middle conductive layer 80 and the 2nd middle conductive layer 180 on the 2nd light-shielding film 23 on the opposite substrate 20, and the TFT array substrate 10. Even if powerful incident light carries out incidence from the opposite substrate 20 side by this, change of transistor characteristics can be prevented. For this reason, the electro-optic device of this operation gestalt is effective when incidence of the incident light powerful like the light valve application of a projector is carried out.

[0093] Furthermore, with this operation gestalt, in this way, since the 1st middle conductive layer 80 and the 2nd middle conductive layer 180 of protection-from-light nature are broadly constituted so that a

part of opening field of each pixel may be specified, in order to form the 2nd light-shielding film 23 on the opposite substrate 20 or to specify an opening field, they do not need to spread and form the width of face of data-line 6b in the protection-from-light field to which these exist.

[0094] In the protection-from-light field of each pixel which met data-line 6a as shown in drawing 2, between the width of face  $W_d$  of data-line 6a, the width of face  $W_c$  for a lobe of capacity line 3b, and the width of face  $W_m$  of the 2nd middle conductive layer 180, the flat-surface layout of these data-lines 6a, capacity line 3b, and the 2nd middle conductive layer 180 is carried out especially here so that the relation it is unrelated  $W_d < W_c < W_m$  may be materialized. Therefore, to the incident light from the opposite substrate 20 side, protection from light of a duplex called data-line 6a and the 2nd middle conductive layer 180 is attained in the TFT array substrate 10 top. When TFT30 is shaded only by data-line 6a which consists of aluminum film of a high reflection factor temporarily, it is reflected by the inside of data-line 6a, and, finally the incident light and return light which inclined to the substrate side keep in channel field 1a' or its adjoining field very much as a multiple echo light. however, the thing for which the 1st middle conductive layer 80 and the 2nd middle conductive layer 180 are formed from the refractory metal film and polish recon film of a low reflection factor with this operation gestalt -- and the 2nd middle conductive layer 180 -- data-line 6a -- being broad ( $W_d < W_m$ ) -- the multiple echo light by the internal reflection like \*\*\*\* can be decreased by forming. Therefore, for the application in which powerful incident light and the powerful reflected light exist like the light valve application of a projector, the configuration of this operation gestalt is very useful.

[0095] Furthermore, with this operation gestalt, it sees especially superficially, and a part for the edge in alignment with data-line 6a in pixel electrode 9a is put on a part for the edge of the 2nd middle conductive layer 180, and a part for the edge in alignment with data-line 6a in pixel electrode 9a is hardly put on a part for the edge of data-line 6a again. Thus, the 2nd middle conductive layer 180 can prescribe a protection-from-light field, and the parasitic capacitance between the source and a drain can be sharply reduced by making it not pile up data-line 6a and pixel electrode 9a as much as possible. Thereby, generating of a poor display, such as a fall of a contrast ratio and a cross talk, a ghost image can be controlled, and a high-definition electro-optic device can be realized. and a high-definition electro-optic device can be realized.

[0096] In addition, with this operation gestalt, preferably, the 2nd interlayer insulation film 4 between data-line 6a and the 2nd middle conductive layer 180 is formed so that the thickness may be set to 500-2000nm. Since the 2nd middle conductive layer 180 is connected to capacity line 3b through contact hole 18a in addition to such thickness conditions, it can do small in extent which can be practically disregarded also about the parasitic capacitance between data-line 6a and the 2nd middle conductive layer 180. In addition, what is necessary is just to decide individually concretely by an experiment, theoretical count, simulation, etc. about more concrete thickness according to the image grace and the equipment specification which are demanded.

[0097] With the operation gestalt explained above, preferably, 1st light-shielding film 11a is pulled out by the boundary region on the TFT array substrate 1, and is connected to a constant potential line. Thus, if constituted, 1st light-shielding film 11a can be fixed to fixed potential, and the property of TFT30 formed on 1st light-shielding film 11a through the substrate insulator layer 12 will not be changed by potential fluctuation in 1st light-shielding film 11a. In this case, constant sources of potential, such as a negative supply supplied to circumference circuits, such as a scanning-line drive circuit for driving the electro-optic device concerned and a data-line drive circuit, as a constant source of potential and a positive supply, a touch-down power source, the constant source of potential supplied to a counterelectrode 21 are mentioned. Capacity line 3a and 1st light-shielding film 11a may be connected electrically. If such a configuration is taken, wiring for storage capacitance formation can be formed by redundant structure, and it is advantageous.

[0098] (Manufacture process of an electro-optic device) Next, the manufacture process of the electro-optic device of the 1st operation gestalt with the above configurations is explained with reference to drawing 5 and drawing 6. It is process drawing in which drawing 5 and drawing 6 making each class by

the side of the TFT array substrate in each process correspond to the A-A' cross section of drawing 2 like drawing 3 here, and showing order later on.

[0099] As first shown in the process (1) of drawing 5, the TFT array substrates 10, such as a quartz substrate, a glass substrate, and a silicon substrate, are prepared. Here, it heat-treats preferably at inert gas ambient atmospheres, such as N<sub>2</sub> (nitrogen), and an about 900–1300-degree C elevated temperature, and it pretreats so that distortion produced in the TFT array substrate 10 in the elevated-temperature process carried out behind may decrease. That is, according to the temperature by which high temperature processing is carried out at the maximum elevated temperature in a manufacture process, the TFT array substrate 10 is heat-treated at the same temperature or the temperature beyond it in advance. And 1st light-shielding film 11a is formed all over the TFT array substrate 10 processed in this way by performing a photolithography and etching for metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pb, by sputtering etc., after forming the protection-from-light nature electric conduction film of about 200nm thickness preferably, about 100–500nm thickness and. In addition, on 1st light-shielding film 11a, in order to ease surface reflection, antireflection films, such as polish recon film, may be formed.

[0100] Next, as shown in the process (2) of drawing 5, the substrate insulator layer 12 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. using TEOS (tetrapod ethyl orthochromatic silicate) gas, TEB (tetrapod ethyl boat rate) gas, TMOP (tetrapod methyl oxy-FOSU rate) gas, etc. with ordinary pressure or a reduced pressure CVD method is formed on 1st light-shielding film 11a. The thickness of this substrate insulator layer 12 may be about 500nm–2000nm.

[0101] next, it is shown in the process (3) of drawing 5 -- as -- the substrate insulator layer 12 top -- is heated about 450–550 degrees C -- desirable -- about 500 degrees C -- in a low-temperature environment -- comparatively With the reduced pressure CVD (for example, CVD with a pressure of about 20–40Pa) etc. by using the mono-silane gas of flow rate about 400 to 600 cc/min, disilane gas, etc., after forming the amorphous silicon film, in nitrogen gas atmosphere and At about 600–700 degrees C, preferably, by using a furnace which performs heat treatment of 4–6 hours, solid phase growth of the amorphous silicon film is carried out until it becomes the thickness of about 100nm preferably in about 50–200nm thickness and the polish recon film is formed for about 1 to 10 hours. As an approach of carrying out solid phase growth, heat treatment using RTA (Rapid Thermal Anneal) is sufficient, and the laser annealing using an excimer laser etc. is sufficient.

[0102] Under the present circumstances, as TFT30 for pixel switching, when creating TFT30 for pixel switching of an n channel mold, the impurity of V group elements, such as Sb (antimony), As (arsenic), and P (Lynn), may be slightly doped by an ion implantation etc. to the channel field concerned. Moreover, when using TFT30 for pixel switching as a p channel mold, the impurity of III group elements, such as B (boron), Ga (gallium), and In (indium), may be slightly doped by an ion implantation etc. In addition, the polish recon film 1 may be directly formed with a reduced pressure CVD method etc. without passing through the amorphous silicon film. Or drive silicon ion into the polish recon film deposited with the reduced pressure CVD method etc., once make it amorphous, it is made to recrystallize by the postheat treatment etc., and the polish recon film 1 may be formed.

[0103] Next, as shown in the process (4) of drawing 5, the insulating thin film 2 of the monolayer structure which consists of thermal oxidation silicon film with a comparatively thin thickness of about 20–150nm semiconductor layer 1a which constitutes TFT30 for pixel switching the temperature of about 900–1300 degrees C and by oxidizing thermally with the temperature of about 1000 degrees C preferably is formed. However, after forming the thermal oxidation silicon film to apply in 30nm or less extent thinly, the insulating thin film which consists of high-temperature-oxidation silicon film (HTO film) or a silicon nitride film with a reduced pressure CVD method etc. is deposited on the comparatively thin thickness of about 50nm, and the insulating thin film 2 with the multilayer structure containing these thermal oxidation silicon film and an insulating thin film may be formed. Thus, by shortening elevated-



temperature thermal oxidation time amount, if it is made two or more layer structure, when using especially a large-sized substrate 8 inches or more, the camber by heat can be prevented.

[0104] these results -- the thickness of semi-conductor layer 1a -- the thickness of about 30-150nm -- desirable -- the thickness of about 35-50nm -- becoming -- the thickness of the insulating thin film 2 -- the thickness of about 20-150nm -- it becomes the thickness of about 30-100nm preferably.

[0105] Next, as shown in the process (5) of drawing 5, after forming the resist layer 500 according to a photolithography process, an etching process, etc. on semi-conductor layer 1a except the part used as the 1f of the 1st capacity electrodes, P ion may be doped in about  $3 \times 10^{12}/\text{cm}^2$  of doses, and the 1f of the 1st capacity electrodes may be formed into low resistance.

[0106] Next, as shown in the process (6) of drawing 6, capacity line 3b is first formed with scanning-line 3a according to a photolithography process, an etching process, etc. using a resist mask. furthermore, when setting TFT30 for pixel switching to TFT of an n channel mold with LDD structure, in order to form low concentration source field 1b and low concentration drain field 1c in semi-conductor layer 1a first, the impurity of V group elements, such as P, is doped by low concentration by using as a mask the gate electrode which is a part of scanning-line 3a (for example, P ion -- the dose of one to  $3 \times 10^{13}-/\text{cm}^2$ ). Thereby, semi-conductor layer 1a under scanning-line 3a becomes channel field 1a'.

[0107] next, as shown in the process (7) of drawing 6, in order to form 1d of high concentration source fields and high concentration drain field 1e which constitute TFT30 for pixel switching, after forming the resist layer 600 on scanning line 3a with a mask with wide width of face rather than scanning line 3a, the impurity of V group elements, such as P, is doped by high concentration (for example, P ion -- the dose of one to  $3 \times 10^{15}-/\text{cm}^2$ ). Moreover, what is necessary is to use the impurity of III group elements, such as B, for semi-conductor layer 1a, and just to dope to its in order to form 1d of high concentration source fields, and high concentration drain field 1e in low concentration source field 1b and low concentration drain field 1c list when using TFT30 for pixel switching as a p channel mold.

[0108] Next, as shown in the process (8) of drawing 6, after removing the resist layer 600, the 1st interlayer insulation film 81 is formed on scanning-line 3a and capacity line 3b by depositing the high-temperature oxidation silicon film (HTO film) and a silicon nitride film on the thin thickness of about 100nm or 200nm or less by the reduced pressure CVD method, a plasma CVD method, etc. However, before depositing an insulator layer in this way, the 1st interlayer insulation film 81 which has two or more layer structure which is high pressure-proofing, forms an oxide film with few defects, and blows it including the oxide film to apply may be formed using the elevated-temperature process on the TFT array substrate 10 which consists of a quartz substrate etc.

[0109] Next, as shown in the process (9) of drawing 6, 1st contact hole 8a for connecting electrically the 1st middle conductive layer 80 and high concentration drain field 1e is punctured to the 1st interlayer insulation film 81 by dry etching, such as reactive ion etching and reactant ion beam etching. Since such dry etching has high directivity, it can puncture 1st contact hole 8a of a small path. Or wet etching advantageous to preventing that 1st contact hole 8a runs through semi-conductor layer 1a may be used together. This wet etching is effective also from a viewpoint which gives the taper for taking connection more electric to fitness to 1st contact hole 8a. With this operation gestalt, contact hole 18a for connecting the 2nd middle conductive layer 180 and capacity line 3b to puncturing and coincidence of 1st contact hole 8a is also punctured. Thereby, the increment in a process can be prevented.

[0110] Next, as well as 1st light-shielding film 11a, as shown in the process (10) of drawing 6, after depositing metal alloy film and polish recon film, such as Ti, Cr, W, Ta, Mo, and Pd, by sputtering etc., the 1st middle conductive layer 80 is formed by the photolithography and etching processing on the 1st interlayer insulation film 81. [ , such as metal metallurgy group silicide, ] It can come, simultaneously the 2nd middle conductive layer 180 is also formed. In addition, on these 1st middle conductive layers 80 and the 2nd middle conductive layer 180, in order to form antireflection films, such as polish recon film, in order to ease surface reflection, and to make small connection resistance of high concentration drain field 1e and the 1st middle conductive layer 80, the layer structure of the 1st middle conductive layer 80



and the 2nd middle conductive layer 180 may be formed above the two-layer structure which said to the lower layer as the polish recon film, and was said to the upper layer as the refractory metal.

[0111] Next, as shown in the process (11) of drawing 6, the 2nd interlayer insulation film 4 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. is formed using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. so that a top face with the level difference in the layered product which consists of scanning-line 3a, capacity line 3b, the 1st interlayer insulation film 81, and a substrate insulator layer 12 may be covered. In addition, after forming the 2nd interlayer insulation film 4, in order to activate semi-conductor layer 1a, about 1000-degree C heat treatment may be performed.

[0112] Next, the 3rd contact hole 5 to data-line 6a is punctured by etching to the 2nd interlayer insulation film 4, the 1st interlayer insulation film 81, and the insulating thin film 2, data-line 6a is formed by the sputtering method etc. on it from low resistance metal membrane metallurgy group silicide film, such as aluminum with a thickness of about 100-500nm, and the 3rd interlayer insulation film 7 is formed with a CVD method etc. on it.

[0113] Then, 2nd contact hole 8b is punctured by etching to the 3rd interlayer insulation film 7 and the 2nd interlayer insulation film 4, and pixel electrode 9a which becomes the last from the ITO film is formed so that the 1st middle conductive layer 80 and electric connection can be taken through 2nd

contact hole 8b. In especially this process (11), the contact hole for connecting with wiring which illustrates neither scanning-line 3a nor capacity line 3b in a substrate boundary region at the time of puncturing of the 3rd contact hole 5 is also good for the 1st interlayer insulation film 81 or the 2nd interlayer insulation film 4 to puncture to coincidence. Moreover, about 100-500nm data-line 6a is preferably deposited on about 300nm, and the 3rd interlayer insulation film 7 is good to deposit on about 500-1500nm. Moreover, although what is necessary is just to form 2nd contact hole 8a by dry etching, such as reactive ion etching and reactant ion beam etching, wet etching may be used for it in order to make it the shape of a taper. Furthermore, pixel electrode 9a is good to deposit on the thickness of about 50-200nm. In addition, when using the electro-optic device concerned for the liquid crystal equipment of a reflective mold, pixel electrode 9a may be formed from the high ingredient of reflection factors, such as aluminum and protection from light nature.

[0114] As explained above, according to the manufacture process of this operation gestalt, the electro-optic device of this operation gestalt mentioned above can be manufactured comparatively easily. In addition, since TFT30 for pixel switching forms semi-conductor layer 1a by polish recon, it is also possible to be the same process mostly and to form a circumference circuit at the time of formation of TFT30 for pixel switching.

[0115] In addition, in the manufacture process explained above, in the phase where pixel electrode 9a is formed, flattening of the front face of the 2nd interlayer insulation film 4 or the 3rd interlayer insulation film 7 may be carried out by the CMP method etc. as flattening of the film surface is carried out. Or it etches into the predetermined field of the TFT array substrate 10 beforehand, and a concave hollow is formed, by performing a subsequent process similarly, as a result, flattening of the front face of the 3rd interlayer insulation film 7 may be made to be carried out, and it may hollow and form the 2nd interlayer insulation film 4 and the substrate insulator layer 12 in a concave. Thus, in the phase where pixel electrode 9a is formed, if flattening of the film surface of a substrate is carried out, generating of the disclination of the liquid crystal by the level difference can be suppressed as much as possible, and a poor display, such as a fall of a contrast ratio, will not be caused.

[0116] (The 2nd operation gestalt) The configuration of the liquid crystal equipment which is the 2nd operation gestalt of the electro-optic device by this invention is explained with reference to drawing 7 and drawing 8. Drawing 7 is a top view of two or more pixel groups where the TFT array substrate with which the data line, the scanning line, a pixel electrode, etc. were formed adjoins each other, and drawing 8 is the A-A' sectional view of drawing 7. In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have

differed for each class or every each part material in drawing 8 .

[0117] The point that the 2nd operation gestalt is established as one middle conductive layer 80' of a L character configuration for every pixel, without separating the 1st middle conductive layer 80 and the 2nd middle conductive layer 180 in the 1st operation gestalt as shown in drawing 7 and drawing 8 , It differs in that contact hole 18a for connecting the 2nd middle conductive layer 180 and capacity line 3b in the 1st operation gestalt in connection with this is not punctured, and is the same as that of the case of the 1st operation gestalt about other configurations. In addition, in drawing 7 and drawing 8 , the reference mark same about the same component as drawing 2 and drawing 3 R> 3 concerning the 1st example is attached, and it omits about those explanation.

[0118] Thus, with the 2nd operation gestalt, middle conductive layer 80' is piled up through the part and the 2nd interlayer insulation film 4 of capacity line 3b in alignment with data-line 6a, and forms storage capacitance 70. Therefore, in the protection-from-light field in alignment with data-line 6a, opposite arrangement of the 1f of the 1st capacity electrodes installed from high concentration drain field 1e of semi-conductor layer 1a and the capacity line 3b can be carried out, and opposite arrangement of capacity line 3b and middle conductive layer 80' can be carried out. Consequently, since the three-dimensional storage capacitance 70 can be built also to the protection-from-light field in alignment with data-line 6a, when according to the 2nd operation gestalt it can form big storage capacitance in a small field efficiently and a raise in a numerical aperture which is a pixel, and detailed-ization of a pixel pitch can go to it, it is very advantageous structure.

[0119] (The 3rd operation gestalt) The configuration of the liquid crystal equipment which is the 3rd operation gestalt of the electro-optic device by this invention is explained with reference to drawing 9 and drawing 10 . Drawing 9 is a top view of two or more pixel groups where the TFT array substrate with which the data line, the scanning line, a pixel electrode, etc. were formed adjoins each other, and drawing 10 is the A-A' sectional view of drawing 9 . In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have which differed for each class or every each part material in drawing 10 .

[0120] In addition, in drawing 9 and drawing 10 , the reference mark same about the same component as drawing 7 R> 7 and drawing 8 concerning drawing 2 and drawing 3 on the 2nd operation gestalt about the 1st operation gestalt is attached, and it omits about those explanation.

[0121] thus -- the -- three -- operation -- a gestalt -- \*\*\*\* -- middle -- a conductive layer -- 80' -- the data line -- six -- a -- having met -- capacity -- a line -- three -- b -- " -- the data line -- six -- a -- having met -- a part -- the -- two -- an interlayer insulation film -- four -- minding -- piling up -- having -- \*\*\*\* -- this -- a field -- \*\*\*\* -- storage capacitance -- 70 -- forming -- \*\*\*\* , therefore -- the data line -- six -- a -- having met -- protection from light -- a field -- setting -- a semi-conductor -- a layer -- one -- a -- high concentration -- a drain -- a field -- one -- e -- installing -- having -- capacity -- an electrode -- making -- the -- one -- capacity -- an electrode -- one -- f -- capacity -- a line -- three -- b -- " -- opposite -- arrangement -- carrying out -- it can make -- and -- capacity -- a line -- three -- b -- " -- middle -- a conductive layer -- 80 -- ' -- opposite -- arrangement -- carrying out -- it can make . In addition, since it prepares so that middle conductive layer 80' and semi-conductor layer 1a can connect electrically at the point further from the tip of a part where 1st contact hole 8a" saw superficially, and met data-line 6a of capacity line 3b" unlike the case of the 2nd operation gestalt, it becomes unnecessary to prepare a constriction in capacity line 3b", and the numerical aperture of a pixel can be raised further, and storage capacitance 70 can be increased.

[0122] With each operation gestalt explained above, although the other shape of a round shape, a square, or a polygon etc. has as the flat-surface configuration of various contact holes, especially a round shape is useful to the crack prevention in the interlayer insulation film around a contact hole etc.

[0123] (The 4th operation gestalt) The configuration of the liquid crystal equipment which is the 4th operation gestalt of the electro-optic device by this invention is explained with reference to drawing 11

R> 1 and drawing 12 . Drawing 11 is a top view of two or more pixel groups where the TFT array substrate with which the data line, the scanning line, a pixel electrode, etc. were formed adjoins each other, and drawing 12 is a sectional view in alignment with A-A' of drawing 11 . In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 12 . The sign same about the same member as the 1st operation gestalt is attached, and detailed explanation is omitted.

[0124] the 4th operation gestalt is shown in drawing 11 -- as -- a non-opening field -- scanning-line 3a and data-line 6a are mostly prepared in the core. Semi-conductor layer 1a is arranged under the data-line 6a so that scanning-line 3a may be intersected. As shown in drawing 12 , data-line 6a sets caudad 1d of high concentration source fields of data-line 6a and semi-conductor layer 1a, and they are electrically connected through the 3rd contact hole 5. moreover, high concentration drain field 1e of semi-conductor layer 1a and middle conductive layer 80a -- data-line 6a -- caudad -- setting -- 1st contact hole 8a -- it connects electrically through ". Thus, by arranging semi-conductor layer 1a under the data-line 6a of protection-from-light nature, there is effectiveness which protects from the opposite substrate 20 side that the light by which incidence is carried out is irradiated by direct semi-conductor layer 1a. furthermore, semi-conductor layer 1a, the 3rd contact hole 5, and 1st contact hole 8a -- by -- forming " in axial symmetry to the center line of the non-opening field of the direction of scanning-line 3a, and the non-opening field of the direction of data-line 6a, since a level difference configuration can be made into bilateral symmetry to data-line 6a and the difference of the optical omission by the hand of the of cut-of liquid crystal is lost, it is advantageous.

[0125] 1st light-shielding film 11a is formed in the lower part of semi-conductor layer 1a through the substrate insulator layer 12. 1st light-shielding film 11a is formed in the shape of a matrix along the direction of data-line 6a, and the direction of scanning-line 3a. Semi-conductor layer 1a is arranged inside 1st light-shielding film 11a; and it is effective in the return light from the TFT array substrate 10. side preventing direct semi-conductor layer 1a irradiating.

[0126] Middle conductive layer 80a consists of the electric conduction film containing the polish recon- film, a refractory metal, etc., is installed by the abbreviation mold for Tx characters along with scanning-line 3a and data-line 6a between the layers of semi-conductor layer 1a and pixel electrode 9a, and achieves the function as a buffer for connecting electrically semi-conductor layer 1a and pixel electrode 9a. concrete -- high concentration drain field 1e of semi-conductor layer 1a, and conductive middle conductive layer 80a -- 1st contact hole 8a -- in " it connects electrically and middle conductive layer 80a and pixel electrode 9a are electrically connected in 2nd contact hole 8b. When puncturing a deep contact hole to an interlayer insulation film by taking such a configuration, and etch selectivity prepares large middle conductive layer 80a, risk of running through semi-conductor layer 1a at the time of contact hole puncturing can be avoided. In addition, the same film as middle conductive layer 80a may be made to relay similarly 1d of high concentration source fields of data-line 6a and semi-conductor layer 1a in the 3rd contact hole 5 for connecting electrically.

[0127] Moreover, with the 4th operation gestalt, the laminating of the interlayer insulation film 91 is carried out to middle conductive layer 80a, and electric conduction film 90a of protection-from-light nature is formed on it. Electric conduction film 90a of protection-from-light nature is installed in the direction of scanning-line 3a to the outside of an image display field so that middle conductive layer 80a may be covered except for 2nd contact hole 8b, and potential is being fixed by connecting with either constant sources of potential, such as a negative supply supplied to a scanning-line drive circuit, a data-line drive circuit, etc., and a positive supply, a touch-down power source or the constant source of potential supplied to a counterelectrode electrically. Therefore, middle conductive layer 80a can be used as one capacity electrode, and the storage capacitance 70 which shows electric conduction film 90a of protection-from-light nature to drawing 1 as a capacity electrode of another side can be formed. Under the present circumstances, it cannot be overemphasized that an interlayer insulation film 91 functions

as a dielectric film of storage capacitance 70. Here, since the laminating of the interlayer insulation film 91 is carried out only in order to form storage capacitance 70, storage capacitance 70 can be increased by thin-film-izing an interlayer insulation film 91 to the thickness which is not leaked between middle conductive layer 80a and electric conduction film 90a of protection-from-light nature. Furthermore, with this operation gestalt, since middle conductive layer 80a can be installed to the upper part of TFT30 or scanning-line 3a by forming an interlayer insulation film 81 thickly, storage capacitance 70 can be increased efficiently. Furthermore, with the 4th operation gestalt, semi-conductor layer 1a is installed and the capacity electrode is not formed. the non-opening field to which scanning-line 3a is specified from electric conduction film 90a of protection-from-light nature, or 1st light-shielding film 11a as shown in drawing 11 since it is not necessary to form the capacity electrode and capacity line for forming storage capacitance by the same film as scanning-line 3a by this -- it can arrange at the core mostly. Moreover, since semi-conductor layer 1a which consists of the polish recon film does not have to carry out membranous low resistance-ization, it is not necessary to drive an impurity into the capacity electrode formation section, and processes can be reduced.

[0128] forming channel field 1a' of TFT30 in the intersection of scanning-line 3a and data-line 6a with the 4th operation gestalt -- the non-opening field of the direction of data-line 6a, and the direction of scanning-line 3a -- it can prepare in a core mostly. Since this becomes the location where light is the hardest to irradiate to the incident light from the opposite substrate 20 side, on the return light from the TFT array substrate 10 side, the leakage current of TFT30 by light can be reduced sharply.

[0129] Furthermore, with the 4th operation gestalt, as shown in drawing 11, in near channel field 1a', it has devised by forming pattern width of face narrowly in order of electric conduction film 90a of protection-from-light nature, middle conductive layer 80a, and 1st light-shielding film 11a, so that the incident light may not be directly irradiated by 1st light-shielding film 11a. Moreover, by making middle conductive layer 80a which consists of polish recon film intervene between electric conduction film 90a of protection-from-light nature, and semi-conductor layer 1a, the effectiveness of making the reflected light in a 1st light-shielding film 11a front face and the return light from the TFT array substrate 10 side absorbing can be given, and it is advantageous to lightfastness.

[0130] Moreover, with the 4th operation gestalt, since a non-opening field can be formed on the TFT array substrate 10 by data-line 6a, electric conduction film 90a of protection-from-light nature, 1st light-shielding film 11a, etc., it is not necessary to prepare a light-shielding film in the opposite substrate 20. Since there is no light-shielding film on the opposite substrate 20 by this even if alignment shifts in case the TFT array substrate 10 and the opposite substrate 20 are stuck mechanically, the field (opening-field) which light penetrates does not change. Since the always stabilized pixel numerical aperture is obtained by this, poor equipment can be reduced sharply.

[0131] (The whole electro-optic device configuration) The whole electro-optic device configuration in each operation gestalt constituted as mentioned above is explained with reference to drawing 13 and drawing 14. In addition, drawing 13 is the top view which looked at the TFT array substrate 10 from the opposite substrate 20 side with each component formed on it, and drawing 14 is a H-H' sectional view of drawing 13.

[0132] In drawing 13, on the TFT array substrate 10, the sealant 52 is formed along the edge and the 3rd light-shielding film 53 as a frame which specifies the circumference of the image display field which consists of an ingredient which is the same as the 2nd light-shielding film 23, or is different is formed in parallel to the inside. The data-line drive circuit 101 and the external circuit connection terminal 102 which drive data-line 6a by supplying a picture signal to data-line 6a to predetermined timing are prepared in the field of the outside of a sealant 52 along with one side of the TFT array substrate 10, and the scanning-line drive circuit 104 which drives scanning-line 3a is formed along with two sides which adjoin this one side by supplying a scan signal to scanning-line 3a to predetermined timing. If delay of the scan signal supplied to scanning-line 3a does not become a problem, the thing only with one side sufficient [ the scanning-line drive circuit 104 ] cannot be overemphasized. Moreover, the data-line

drive circuit 101 may be arranged on both sides along the side of an image display field. Furthermore, two or more wiring 105 for connecting between the scanning-line drive circuits 104 established in the both sides of an image display field is formed in one side in which the TFT array substrate 10 remains. Moreover, in at least one place of the corner section of the opposite substrate 20, the vertical flow material 106 for taking an electric flow between the TFT array substrate 10 and the opposite substrate 20 is formed. And as shown in drawing 14, the opposite substrate 20 with the almost same profile as the sealant 52 shown in drawing 13 has fixed to the TFT array substrate 10 by the sealant 52 concerned. In addition, on the TFT array substrate 10, the inspection circuit for inspecting the sampling circuit which impresses a picture signal to two or more data-line 6a to predetermined timing, the precharge circuit which precedes the precharge signal of a predetermined voltage level with a picture signal, and supplies it to two or more data-line 6a respectively, the quality of the electro-optic device concerned at the manufacture middle or the time of shipment, a defect, etc. in addition to these data-line drive circuits 101 and scanning-line drive circuit 104 grade etc. may be formed.

[0133] You may make it connect with LSI for a drive mounted on the TAB (Tape Automated Bonding) substrate instead of forming the data-line drive circuit 101 and the scanning-line drive circuit 104 on the TFT array substrate 10 electrically and mechanically through the anisotropy electric conduction film prepared in the periphery of the TFT array substrate 10 with each operation gestalt explained with

reference to drawing 14 from drawing 1 above. Moreover, according to the exception of modes of operation, such as TN (Twisted Nematic) mode, VA (Vertically Aligned) mode, and PDLC (Polymer Dispersed Liquid Crystal) mode, and the no MARI White mode / NOMA reeve rack mode, a polarization film, a phase contrast film, a polarizing plate, etc. are respectively arranged in a predetermined direction at the side in which the outgoing radiation light of the side in which the incident light of the opposite substrate 20 carries out incidence, and the TFT array substrate 10 carries out outgoing radiation.

[0134] Since the electro-optic device in each operation gestalt explained above is applied to the projector of color display, the electro-optic device of three sheets will be respectively used as a light valve for R (red) G (green) B (blue), and incidence of the light of each color respectively decomposed through the dichroic mirror for RGB color separation will be respectively carried out to each light valve as incident light. Therefore, with each operation gestalt, the color filter is not prepared in the opposite substrate 20. However, the color filter of RGB may be formed in the predetermined field which counters the pixel electrode 9a in which the 2nd light-shielding film 23 is not formed on the opposite substrate 20 with the protective coat. Or it is also possible to form a color filter layer in the bottom of pixel electrode 9a which counters RGB on the TFT array substrate 10 by a color resist etc. If it does in this way, the electro-optic device in each operation gestalt is applicable to the color electro-optic device of direct viewing types other than a projector, or a reflective mold. Furthermore, a micro lens may be formed so that it may correspond 1 pixel on [ one ] the opposite substrate 20. If it does in this way, a bright electro-optic device is realizable by improving the condensing effectiveness of incident light.

Furthermore, the die clo IKKU filter which makes a RGB color using interference of light by depositing the interference layer to which the refractive index of many layers is different on the opposite substrate 20 again may be formed. According to this opposite substrate with a die clo IKKU filter, the brighter electro-optic device for color displays is realizable.

[0135] In addition, since 1st light-shielding film 11a is prepared, incidence of the incident light is carried out from the TFT array substrate 10 side, and it may be made to carry out outgoing radiation, although [ the electro-optic device in each operation gestalt explained above ] incidence of the incident light is carried out from the opposite substrate 20 side as usual from the opposite substrate 20 side. That is, even if it attaches an electro-optic device in a projector in this way, it is possible to be able to prevent light carrying out incidence to channel field 1a' of semi-conductor layer 1a or its adjoining field effectively, and to display a high-definition image on them. Under the present circumstances, it is not necessary to arrange separately the polarizing plate with which AR (Anti Reflection) coat was carried out for acid resisting for preventing the reflection by the side of the rear face of the TFT array

substrate 10, or to stick AR film, and only that part can reduce ingredient cost, and a contaminant, a blemish, etc. do not drop the yield at the time of polarizing plate attachment, and it is very advantageous. Moreover, since lightfastness is excellent, even if it uses the bright light source, or it carries out polarization conversion by the polarization beam splitter and it raises efficiency for light utilization, image quality degradation of the cross talk by light etc. is not produced.

[0136] Moreover, although explained as a switching element prepared in each pixel that it was the poly-Si TFT of a forward stagger mold or a coplanar mold, each operation gestalt is effective also to TFT of other formats, such as TFT of a reverse stagger mold, and an amorphous silicon TFT.

[0137] The electro-optic device of this invention is not restricted to each operation gestalt mentioned above, and can be suitably changed in the range which is not contrary to the summary or thought of invention which can be read in a claim and the whole specification, and the electro-optic device accompanied by such modification is also contained in the technical range of this invention.

---

[Translation done.]

#### **\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original exactly and precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

#### **DESCRIPTION OF DRAWINGS**

[Brief Description of the Drawings]

[Drawing 1] They are equal circuits established in two or more pixels of the shape of a matrix which constitutes the image display field in the electro-optic device which is the 1st operation gestalt of this invention, such as various components and wiring.

[Drawing 2] It is the top view of two or more pixel groups where the TFT array substrate with which the data line in the liquid crystal equipment of the 1st operation gestalt, the scanning line, a pixel electrode, etc. were formed adjoins each other.

[Drawing 3] It is the A-A' sectional view of drawing 2.

[Drawing 4] It is the top view expanding and showing a part of capacity line which shows the flat-surface pattern of the capacity-line in this operation gestalt, and the scanning line as compared with the flat-surface pattern in the example of a comparison, and scanning line.

[Drawing 5] It is process drawing (the 1) showing order for each process about the image display field in the operation gestalt of the manufacture process of the liquid crystal equipment in the 1st operation gestalt later on.

[Drawing 6] It is process drawing (the 2) showing order for each process about the image display field in the operation gestalt of the manufacture process of the liquid crystal equipment in the 1st operation gestalt later on.

[Drawing 7] It is the top view of two or more pixel groups where the TFT array substrate with which the data line in the liquid crystal equipment of the 2nd operation gestalt of this invention, the scanning line, a pixel electrode, etc. were formed adjoins each other.

[Drawing 8] It is the A-A' sectional view of drawing 7.

[Drawing 9] It is the top view of two or more pixel groups where the TFT array substrate with which the

data line in the liquid crystal equipment of the 3rd operation gestalt of this invention, the scanning line, a pixel electrode, etc. were formed adjoins each other.

[Drawing 10] It is the A-A' sectional view of drawing 9 .

[Drawing 11] It is the top view of two or more pixel groups where the TFT array substrate with which the data line in the liquid crystal equipment of the 4th operation gestalt of this invention, the scanning line, a pixel electrode, etc. were formed adjoins each other.

[Drawing 12] It is the A-A' sectional view of drawing 11 .

[Drawing 13] It is the top view which looked at the TFT array substrate in the liquid crystal equipment of each operation gestalt from the opposite substrate side with each component formed on it.

[Drawing 14] It is the H-H' sectional view of drawing 13 .

[Description of Notations]

1a -- Semi-conductor layer

1a' -- Channel field

1b -- Low concentration source field

1c -- Low concentration drain field

1d -- High concentration source field

1e -- High concentration drain field

1f -- The 1st capacity electrode

2 -- Insulating thin film

3a -- Scanning line

3b, 3b' -- Capacity line

4 -- The 2nd interlayer insulation film

5 -- The 3rd contact hole

6a -- Data line

7 -- The 3rd interlayer insulation film

8a, 8a', 8a'' -- The 1st contact hole

8b -- The 2nd contact hole

9a -- Pixel electrode

10 -- TFT array substrate

11a -- The 1st light-shielding film

12 -- Substrate insulator layer

16 -- Orientation film

20 -- Opposite substrate

21 -- Counterelectrode

22 -- Orientation film

23 -- The 2nd light-shielding film 30 -- TFT

50 -- Liquid crystal layer

52 -- Sealant

53 -- The 3rd light-shielding film

70 -- Storage capacitance

80 -- The 1st middle conductive layer

80' -- Middle conductive layer

81 -- The 1st interlayer insulation film

101 -- Data-line drive circuit

104 -- Scanning-line drive circuit

180 -- The 2nd middle conductive layer

[Translation done.]



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**